



Panchip Microelectronics Co., Ltd.

PAN211x 硬件设计参考

当前版本: 1.0

发布日期: 2024.11

上海磐启微电子有限公司

地址: 上海张江高科技园区盛夏路 666 号 D 栋 302

联系电话: 021-50802371

网址: <http://www.panchip.com>

文档说明

由于版本升级或存在其他原因，本文档内容会不定期进行更新。除非另有约定，本文档内容仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

商标

磐启是磐启微电子公司的商标。本文档中提及的其他名称是其各自所有者的商标/注册商标。

免责声明

本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，磐启微电子公司对本文档内容不做任何明示或暗示的声明或保证。

修订历史

版本	修订时间	描述
V1.0	2024.11	初始版本创建
V1.1	2025.2.10	优化部分章节相关描述

目录

1	原理图设计	1
1.1	参考原理图	1
1.1.1	SOP8 参考原理图	1
1.1.2	SOP8 单面板参考原理图	2
1.2	电源电路	3
1.3	晶体电路	3
1.3.1	推荐晶体参数	3
1.3.2	芯片内部电容频率调整范围	3
1.4	天线匹配电路	4
1.5	SPI/IIC 接口电路	4
2	PCB 设计	5
2.1	PCB 板材和叠层设计	5
2.2	电源和地线 Layout	5
2.3	晶体相关 Layout	5
2.4	SPI/IIC 接口 Layout	6
2.5	射频匹配电路 Layout	6
2.6	天线 Layout	7
2.7	单面板安规布局建议	7
2.8	ESD 防护	7
2.9	PCB Layout 示例	8

1 原理图设计

1.1 参考原理图

1.1.1 SOP8 参考原理图

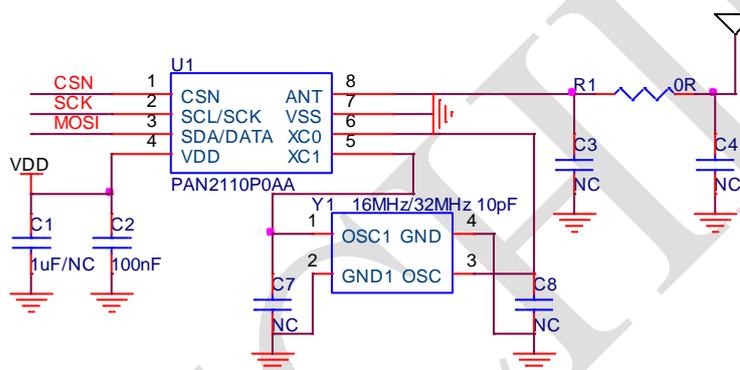


图 1 PAN211x SOP8 封装

1.1.1.1 元器件清单

位号	参数	封装	描述	数量
C1	1uF	0402	NPO, ±10%, 16V	1
C2	100nF	0402	NPO, ±10%, 16V	1
R1	0R/4pF	0402	PIFA 天线需串电容	1
Y1	32MHz	3225	频率偏差±10ppm; 负载电容 10pF	1
C3, C4, C7, C8	NC	---	---	---

备注： 1、模组不过认证，且是 PIFA 天线时，需串联一个电容到天线，避免大功率自激。

2、需要过 FCC/CE 认证，R1 串 2nH 电感，C4 并 0.5pF 电容，不同板子匹配要微调。

1.1.2 SOP8 单面板参考原理图

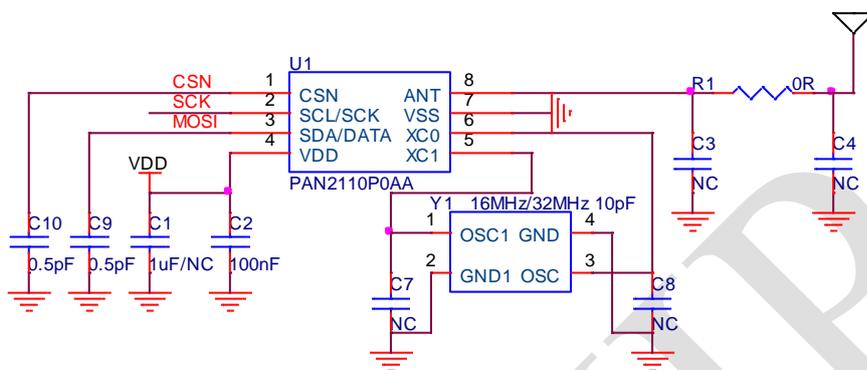


图 2 PAN211x SOP8 封装单面板过安规

1.1.2.1 元器件清单

位号	参数	封装	描述	数量
C1	1uF	0402	NPO, ±10%, 16V	1
C2	100nF	0402	NPO, ±10%, 16V	1
C4	0.5pF	0402	NPO, ±10%, 16V	1
C9, C10	0.5pF	0402	NPO, ±10%, 16V	2
R1	2nH	0402	NPO, ±5%, 16V	1
Y1	32MHz	3225	频率偏差±10ppm; 负载电容 10pF	1
C3, C7, C8	NC	--	--	--

备注：单面板过安规，建议在 CSN，XC1，XC0 预留一个到地电容，DATA 靠近 RF 芯片和 MCU 各预留一个到地电容，调安规时可能会用到。

1.2 电源电路

电源设计的完整性影响芯片性能，好的电源设计更容易发挥无线模块的性能。电压范围 1.8-3.6V，纹波小于 $\pm 100\text{mV}$ ，频率小于 1MHz。电源设计需要留有裕量，一般来说，在条件允许的情况下，输出电流能力需要大于峰值电流的 2 倍。如果电流裕量有限，至少也需要 1.5 倍峰值电流以上。在 3.3V 供电系统中，过大的纹波可能通过导线或者地平面耦合到系统容易受到干扰的线路上，例如天线、馈线、时钟线等敏感信号线上，导致模块的射频性能变差。

芯片供电需要经过滤波电路，得到干净的电源，如图 1 的 C1, C2。Layout 时尽量靠近芯片。

DCDC 供电，DCDC 使能后待输出电压稳定才能进行射频芯片相关配置。进入 Deepleep 后，为了降低模块底电流，DCDC 使能信号可以拉低。

1.3 晶体电路

1.3.1 推荐晶体参数

- 1、晶体频率：32MHz；
- 2、ESR：小于 80 欧姆；
- 3、晶体负载电容：10pF；
- 4、频率偏差： $\pm 20\text{ppm}$ 以内；

1.3.2 芯片内部电容频率调整范围

按照推荐晶体参数实测，内部电容调整频偏范围 $\pm 140\text{KHz}$ 左右；不同晶体，不同 PCB 会有差异。建议预留外接电容 C7, C8 位置，如果使用电容与推荐电容参数偏差较大可以用这两个电容调整频偏。

下表为单载波模式，频点 2440MHz，调整芯片内部电容，载波频率变化情况，红色字体为默认配置，PCB 为 FR4 双面板。不同板材，不同晶体结果会有差异，测试数据供参考。

FSYNXO_CAP2	FSYNXO_CAPSEL	不同型号晶体，调整内部电容射频频载波频率变化情况/MHz										
		封装：SMD2016 负载电容：8pF 频差：±10ppm	封装：SMD3225 负载电容：8pF 频差：±10ppm ESR：≤40Ω	封装：SMD3225 负载电容：9pF 频差：±10ppm ESR：≤40Ω	封装：SMD3225 负载电容：10pF 频差：±10ppm ESR：≤50Ω	封装：SMD3225 负载电容：12pF 频差：±10ppm ESR：≤40Ω	封装：SMD3225 负载电容：16pF 频差：±10ppm ESR：≤40Ω	封装：SMD3225 负载电容：18pF 频差：±10ppm ESR：≤40Ω	封装：SMD3225 负载电容：20pF 频差：±10ppm ESR：≤80Ω	封装：DIP_49S 负载电容：10pF 频差：±20ppm ESR：≤30Ω	封装：DIP_49S 负载电容：12pF 频差：±20ppm ESR：≤30Ω	封装：DIP_49S 负载电容：20pF 频差：±20ppm ESR：≤30Ω
0	000000	2440.044	2440.035	2440.12	2440.228	2440.219	2440.303	2440.332	2440.32	2440.306	2440.457	2440.654
0	000001	2440.04	2440.029	2440.113	2440.221	2440.212	2440.297	2440.326	2440.314	2440.294	2440.444	2440.642
0	000010	2440.036	2440.022	2440.105	2440.214	2440.205	2440.291	2440.319	2440.308	2440.281	2440.431	2440.631
0	000100	2440.028	2440.01	2440.092	2440.201	2440.193	2440.279	2440.307	2440.297	2440.257	2440.407	2440.609
0	001000	2440.014	2439.986	2440.067	2440.177	2440.171	2440.256	2440.285	2440.276	2440.22	2440.361	2440.568
0	010000	2439.989	2439.944	2440.024	2440.135	2440.129	2440.216	2440.245	2440.239	2440.141	2440.278	2440.492
0 (default)	100000 (default)	2439.947	2439.876	2439.953	2440.066	2440.066	2440.15	2440.181	2440.176	2440.002	2440.135	2440.362
0	100001	2439.946	2439.872	2439.949	2440.062	2440.062	2440.148	2440.178	2440.175	2439.995	2440.128	2440.356
0	100010	2439.943	2439.868	2439.945	2440.058	2440.058	2440.144	2440.174	2440.171	2439.988	2440.12	2440.349
0	100100	2439.939	2439.861	2439.938	2440.051	2440.05	2440.138	2440.168	2440.165	2439.973	2440.105	2440.335
0	101000	2439.932	2439.848	2439.924	2440.038	2440.037	2440.125	2440.155	2440.154	2439.946	2440.076	2440.309
0	110000	2439.917	2439.824	2439.899	2440.013	2440.015	2440.102	2440.133	2440.132	2439.896	2440.023	2440.26
0	111000	2439.905	2439.802	2439.877	2439.992	2439.994	2440.082	2440.113	2440.113	2439.85	2439.974	2440.215
0	111100	2439.899	2439.792	2439.866	2439.982	2439.985	2440.072	2440.103	2440.105	2439.828	2439.952	2440.194
0	111111	2439.895	2439.785	2439.859	2439.975	2439.978	2440.066	2440.097	2440.099	2439.813	2439.936	2440.18
1	000000	2439.96	2439.896	2439.973	2440.086	2440.083	2440.17	2440.2	2440.195	2440.043	2440.178	2440.402
1	000100	2439.95	2439.88	2439.956	2440.07	2440.068	2440.155	2440.185	2440.182	2440.011	2440.145	2440.372
1	001000	2439.942	2439.866	2439.941	2440.055	2440.055	2440.142	2440.172	2440.169	2439.982	2440.114	2440.344
1	010000	2439.926	2439.839	2439.914	2440.029	2440.03	2440.117	2440.147	2440.146	2439.928	2440.057	2440.292
1	100000	2439.9	2439.795	2439.868	2439.984	2439.987	2440.075	2440.106	2440.107	2439.833	2439.958	2440.2
1	100100	2439.895	2439.785	2439.858	2439.975	2439.978	2440.066	2440.097	2440.098	2439.812	2439.935	2440.18
1	101000	2439.89	2439.776	2439.849	2439.965	2439.969	2440.057	2440.088	2440.091	2439.793	2439.915	2440.161
1	110000	2439.88	2439.759	2439.832	2439.949	2439.953	2440.041	2440.073	2440.076	2439.756	2439.875	2440.125
1	111100	2439.867	2439.736	2439.809	2439.926	2439.932	2440.02	2440.052	2440.057	2439.706	2439.822	2440.077
1	111111	2439.864	2439.731	2439.804	2439.921	2439.928	2440.015	2440.047	2440.052	2439.695	2439.81	2440.066

1.4 天线匹配电路

天线匹配根据是否需要过 FCC/CE 认证来确定元器件参数。没有安规要求，建议匹配结构也预留（防止模组功率偏低需匹配优化），用 0 欧姆电阻串联到天线，PIFA 天线需串联 4pF 左右隔直电容到天线。过认证，元器件值参考元器件清单。

1.5 SPI/IIC 接口电路

PAN211x 支持 3 线 SPI(CSN, SCK, MOSI), IIC(SCK, MOSI) 接口模式，可根据应用需求进行接口选择。

接口模式都支持 IRQ 复用功能，3 线 SPI、IIC 模式 IRQ 与 MOSI 复用。

SPI 速度最高可达 10Mbps，IIC 最高速度可达 2Mbps。操作 eFuse 时速度不能超过晶体时钟的一半。

2 PCB设计

2.1 PCB 板材和叠层设计

板材建议优先选择双面 FR4 板材结构，最终叠层结构根据实际产品来确定。

2.2 电源和地线 Layout

1、电源线宽度尽量粗，尽量 20mil 以上。电源线必须先经过电容再到芯片电源输入管脚，在靠近芯片电源引脚放两个并联电容对电源低通滤波，其中小容值电容摆放在更靠近芯片引脚的位置，以便较好地滤除高频噪声。滤波电容接地保证较好的回流路径，双面板可以在地 PAD 就近打 VIA 减小回流路径。

2、建议电源线和地线采用放射状的连接方式，单点接电源/地并且单独走线，RF 芯片的电源/地线走线与其它芯片或器件分开，从总参考电源/地线单独引线，防止受到干扰，铺地推荐使用实心地。如果是从 LDO 引出电源线，也需要单独引线并且做好滤波措施。

3、铺地的地线建议与噪声较少的地线或者总参考地线连接，不与强信号或者强干扰器件地线相连，可以有效地减少整个印制板的工作噪声。

2.3 晶体相关 Layout

- 1、32MHz 的晶体至芯片管脚的走线尽量加粗，尽量短，不能走过孔；
- 2、直插晶体的焊盘需要保证外径与内径差值有 0.2mm 以上；
- 3、印制板上在晶体焊盘和走线的两边有完整地平面，最好不要有任何走线和元器件。
- 4、为了避免干扰射频信号，晶体尽量远离射频走线。

5、为避免大功率发射时，晶体受到辐射功率干扰，导致 RF 不工作或者工作不稳定，晶振电路包括负载电容部分远离天线电路，PCB 上天线部分与晶体电路之间尽量有地作为隔离带。

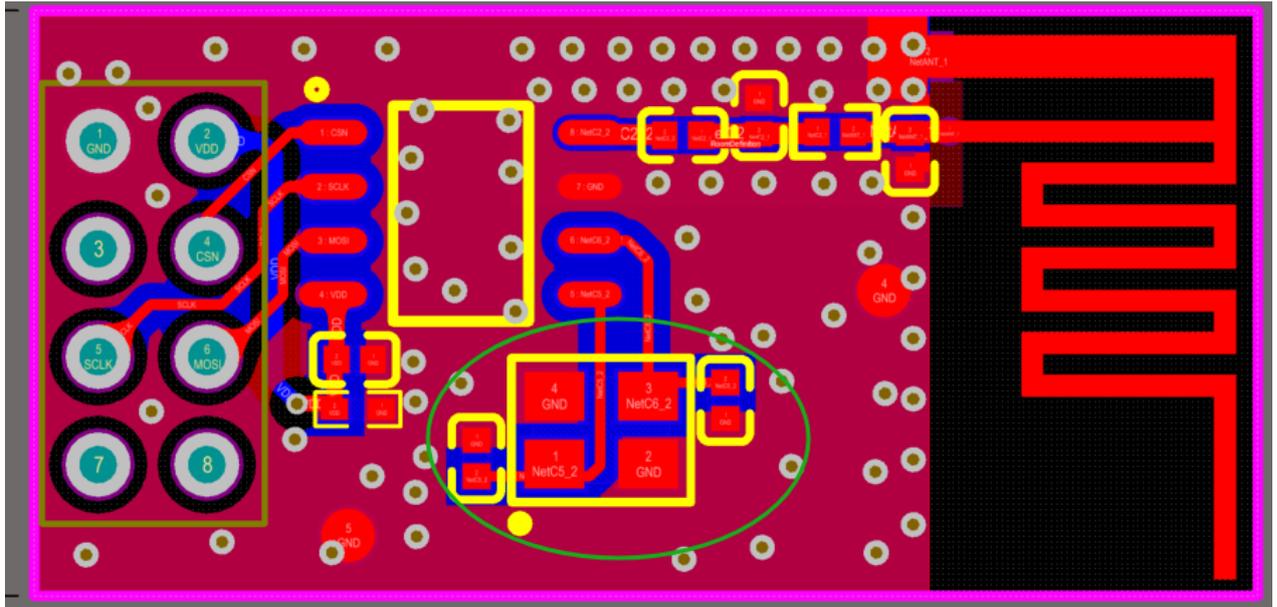


图 3 晶体布局示意图

2.4 SPI/IIC 接口 Layout

- 1、SPI 走线尽量短，布局时尽量靠近 MCU，走线四周需要包地处理，避开强干扰源，以免受外界干扰。
- 2、调试 Debug，SPI/IIC 外接引线尽量短，控制在 15cm 以内，避免接口电平异常。

2.5 射频匹配电路 Layout

射频匹配电路对射频性能影响很大，因此需要特别注意。匹配元器件推荐用 0402 封装，匹配结构按照推荐原理图来设计，硬件环境差异可能需对器件值进行调整。射频匹配 layout 原则：

- 1、为了防止射频前端能量损耗，从 ANT 管脚到天线匹配电路的走线小于 2mm，并且按照 50 欧姆阻抗走线，射频走线禁止打过孔换层。
- 2、天线的 PI 型匹配电路要走顺，并联元件焊盘和走线重合为好。射频匹配部分走线周边的铺地要连贯牢固（多打过孔），可以使得发射能量较多地从天线端出去。
- 3、为了保证阻抗的连续性，射频匹配部分对应的背面参考地需要完整的地平面，要避免放置元器件和走线。如果芯片有 EPAD，RF 参考地和 EPAD 需要良好连接，多层板需要在 EPAD 上打 4 个以上过孔与底层地连接。
- 4、为了方便调试天线，ANT Pin 和 PI 型匹配之间可以串联 0R 电阻，电阻旁可以露一块 GND 属性铜皮。

2.6 天线 Layout

天线设计请参考“2.4G PCB 天线设计指南_V1.0”。



2.4G_PCB天线设计
指南_v1.0.docx

PIFA 天线不能与地线铺铜靠很近，至少留空 1mm。天线部分对应的底层 PCB 严禁铺地。天线与参考地线铺铜间距要大于 1mm。天线周边最好不要有金属结构或元器件及走线，保证在 PCB 上间隔至少 3cm 范围内不摆放较大的带金属材质元器件。导线天线的馈点周围需要净空，净空区域要求 2mm 以上。

2.7 单面板安规布局建议

在以上硬件布局建议基础上，单面板需要过认证，在比较敏感的走线上需要预留并联电容位置，接收过认证可能需要使用。最终硬件实施方案，不同 PCB 会有差异。具体布局建议如下。

- 1、SPI 的 CSN 走线在靠近 RF 芯片预留一个并联 0.5pF 电容的位置。
- 2、SPI 的 DATA 走线在靠近 RF 芯片和 MCU 端各预留一个并联 0.5pF 电容的位置。
- 3、晶体的 XC1 和 XC0 都预留负载电容的位置。
- 4、SPI 和晶体走线附近尽量有较好的包地处理。
- 5、其他走线不要从射频芯片下面穿过。

2.8 ESD 防护

1、敏感信号线需添加 ESD 保护管（常见 TVS）。TVS 摆放位置应尽可能靠近 ESD 源头（接头等处），与被保护 IC 的距离要远于 ESD 源。布线时需将 ESD 源直接接到 TVS，减少 TVS 管和回流地之间的寄生电感。

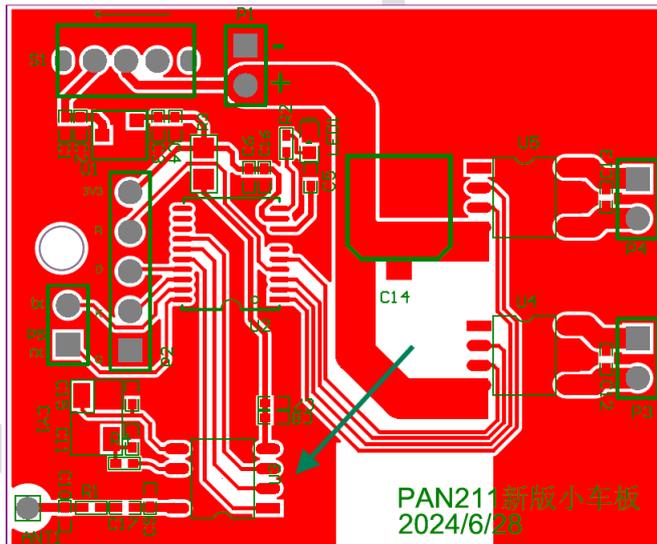
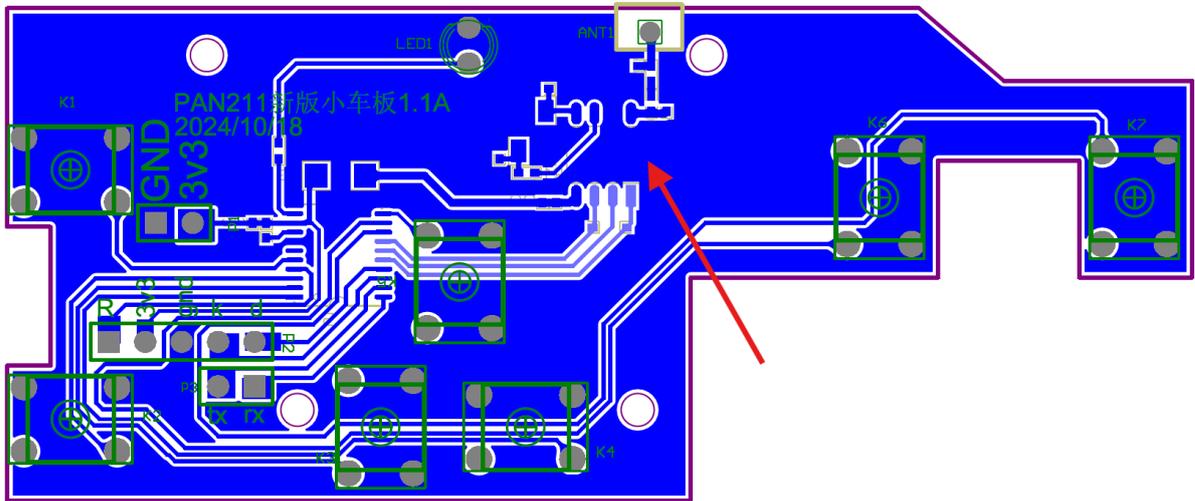
2、布线时，让敏感信号线远离 PCB 板边。为避免走线与天线间的串扰，走线需远离天线，天线需放在离接头较远的位置。

- 3、删除孤岛铜皮，用地将敏感信号包裹起来，防止其他信号的辐射干扰。
- 4、尽量增大过孔的钻孔直径和焊盘直径，减少过孔的寄生电感。

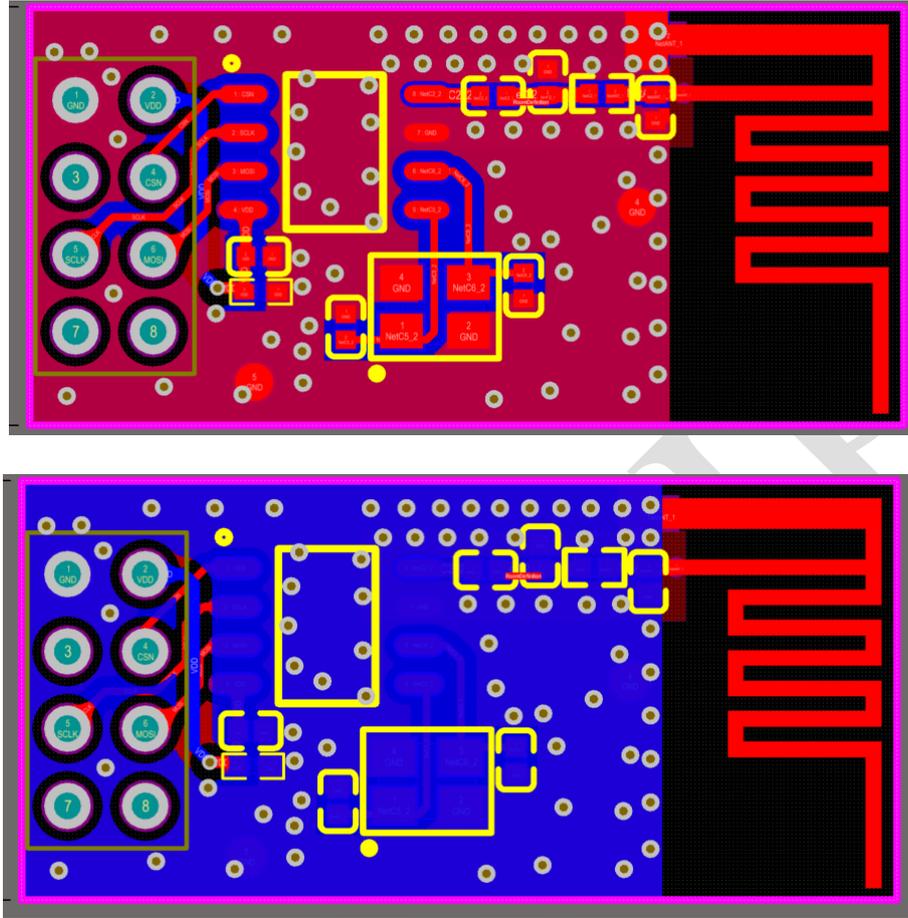
5、尽量缩短线长以减少寄生电感。因直角走线会产生更大的电磁辐射，避免直角走线连接到器件或走线上。

2.9 PCB Layout 示例

下面是单面遥控器板，单面小车板和双面板模组。箭头指向区域为射频芯片位置。



PAN211x 封装单面板导线天线示例



PAN211x 双面板 PIFA 天线 Top 层和 Bottom 层示例