

PAN1070 WDT 测试说明文档

PAN-CLT-VER-A0, Rev 0.1

PANCHIP

PanchipMicroelectronics

www.panchip.com

修订历史

版本	修订日期	描述
V0.1	2023-10-10	初始版本创建

PANCHIP

目录

第1章 测试目的	5
第2章 测试内容	6
2.1 测试内容	6
2.2 环境准备	6
2.2.1 软件环境	6
2.2.1.1 待测代码	6
2.2.1.2 软件工具	6
2.2.2 硬件环境	7
第3章 测试流程	8
3.1 环境配置	8
3.1.1 测试程序编译烧录	8
3.1.2 硬件接线	8
3.2 WDT 工作流程	8
3.3 测试程序初始化	8
3.4 基本功能验证	8
3.4.1 WDT 所有寄存器默认状态	8
3.4.2 超时时间选择	9
3.4.2.1 16 个 WDT_CLK 周期	9
3.4.2.2 64 个 WDT_CLK 周期	10
3.4.2.3 256 个 WDT_CLK 周期	12
3.4.2.4 1024 个 WDT_CLK 周期	13
3.4.2.5 4096 个 WDT_CLK 周期	14
3.4.2.6 16384 个 WDT_CLK 周期	15
3.4.2.7 32768 个 WDT_CLK 周期	16
3.4.2.8 65536 个 WDT_CLK 周期	17
3.4.2.9 131072 个 WDT_CLK 周期	18
3.4.2.10 262144 个 WDT_CLK 周期	19
3.4.2.11 524288 个 WDT_CLK 周期	20
3.4.2.12 1048576 个 WDT_CLK 周期	21
3.4.2.13 2097152 个 WDT_CLK 周期	22
3.4.2.14 4194304 个 WDT_CLK 周期	23
3.4.2.15 8388608 个 WDT_CLK 周期	24
3.4.2.16 16777216 个 WDT_CLK 周期	25
3.4.2.17 误差率总结	26
3.4.3 时钟源选择	26
3.4.3.1 16 个 WDT_CLK 周期, WDT_CLK 为 RCL	26
3.4.3.2 4096 个 WDT_CLK 周期, WDT_CLK 为 RCL	28
3.4.3.3 262144 个 WDT_CLK 周期, WDT_CLK 为 RCL	29
3.4.4 中断模式	30
3.4.5 复位模式	31



3.4.5.1	延时 1025 个 WDT_CLK 周期后复位	31
3.4.5.2	延时 129 个 WDT_CLK 周期后复位	32
3.4.5.3	延时 17 个 WDT_CLK 周期后复位	33
3.4.5.4	延时 2 个 WDT_CLK 周期后复位	34
3.4.5.5	使能复位功能，并在超时时间到达之前喂狗	35
3.4.6	唤醒信号	36
第 4 章	使用注意事项	38
第 5 章	测试结论	39
5.1	测试结论	39



第1章 测试目的

1. PN107 WDT 基本功能测试。
2. 通过测试，形成 WDT 测试方案，WDT 功能应用库，及 WDT 使用方案。
3. 给出对 WDT 模块的使用说明文档。

PANCHIP

第2章 测试内容

2.1 测试内容

1. 寄存器默认值 (Register default value)
2. 超时时间选择 (Timeout Interval Period Selection)
 - a) 16 个 WDT_CLK 周期
 - b) 64 个 WDT_CLK 周期
 - c) 256 个 WDT_CLK 周期
 - d) 1024 个 WDT_CLK 周期
 - e) 4096 个 WDT_CLK 周期
 - f) 16384 个 WDT_CLK 周期
 - g) 65536 个 WDT_CLK 周期
 - h) 262144 个 WDT_CLK 周期
3. 时钟源选择 (Clock Source Selection)
 - a) 16 个 WDT_CLK 周期, WDT_CLK 由 APB 切换至 RCL
 - b) 4096 个 WDT_CLK 周期, WDT_CLK 由 APB 切换至 RCL
 - c) 262144 个 WDT_CLK 周期, WDT_CLK 由 APB 切换至 RCL
4. 中断模式 (Interrupt Mode)
5. 复位模式 (Reset Mode)
 - a) 使能复位功能, 延时 1025 个 WDT_CLK 周期后复位
 - b) 使能复位功能, 延时 129 个 WDT_CLK 周期后复位
 - c) 使能复位功能, 延时 17 个 WDT_CLK 周期后复位
 - d) 使能复位功能, 延时 2 个 WDT_CLK 周期后复位
 - e) 使能复位功能, 并在超时时间到达之前喂狗
6. 唤醒信号 (Wakeup Signal)

2.2 环境准备

2.2.1 软件环境

2.2.1.1 待测代码

测试工程文件:

<PAN1070-DK>\03_MCU\mcu_samples\WDT\keil\WDT.uvprojx

测试源文件目录:

<PAN1070-DK>\03_MCU\mcu_samples\sample\WDT\src

2.2.1.2 软件工具

- 1、SecureCRT (用于显示 PC 与 Test Board 的交互过程, 打印 log 等)
- 2、KingstVIS (逻辑分析仪 LA1010 配套软件)

2.2.2 硬件环境

- 1、PAN1070 COB Test Board 1 块
 - a) UART0 (测试交互接口, TX: P16, RX: P17, 波特率: 921600)
 - a) WDT (待测模块)
 - b) GPIO (P20, 使用 LA 观察引脚变化, 可以知道某些事件到来的时间点, 如中断发生, 超时发生等)
 - c) SWD (用来调试和烧录程序, SWDCLK: P00, SWDIO: P01)
- 2、USB 转串口小转板 x1, 用来连接 PC 与 Test Board
- 3、逻辑分析仪 (波形抓取工具)
- 4、JLink (SWD 调试与烧录工具)

第3章 测试流程

3.1 环境配置

3.1.1 测试程序编译烧录

打开测试工程，确保可以编译通过。

3.1.2 硬件接线

接线方面，WDT 本身没有外部输出或输入，不过为准确获知一些事件到来的时间（如中断发生、超时发生等），程序中使用 GPIO P20 的电平变化来指示，因此需将 P20 接入逻辑分析仪。

3.2 WDT 工作流程

参考 User Manual 文档。

3.3 测试程序初始化

硬件连线完成并烧录测试程序后，Test Board 上电，观察 Debug Port 是否正常打印测试主菜单。

```
CPU @ 48000000Hz
XTL_CAP_EN value is reseted
wdt reset region select
a: only 1p2v region reset
b: all chip reset without rom mode

[11:19:15.888]发->◇A□
[11:19:15.892]收←◆CAP_EN default value is 0
XTL_EN set value is 1
```

```

+-----+
|                PN107 WDT Sample Code.                |
+-----+
| Press key to start specific testcase:                |
| Input '0'   Testcase 0: Register Default Value Check. |
| Input '1'   Testcase 1: Timeout Interval Period Selection. |
| Input '2'   Testcase 2: Clock Source Selection.        |
| Input '3'   Testcase 3: Interrupt Mode.                |
| Input '4'   Testcase 4: Reset Mode.                    |
| Input '5'   Testcase 5: Wakeup Signal.                 |
+-----+

```

3.4 基本功能验证

3.4.1 WDT 所有寄存器默认状态

在主菜单下，输入 ‘0’ 命令 打印所有寄存器默认值：

测试目的：

检查所有 WDT 相关寄存器复位 Default 值状态。

测试预期：

寄存器默认值应和 Datasheet 上 WDT 模块默认值一致。

测试现象:

```

0
WDT Register Default Values:
-----
CTL          = 0x00000700
ALTCTL       = 0x00000000
-----
WDT Flags: TOF=0, IF=0, RSTF=0, WKF=0
-----
WDT Test OK, Success case: 0
    
```

测试分析:

参考芯片手册对比寄存器信息，发现是完全一致的，符合预期。

3.4.2 超时时间选择

在主菜单下，输入 ‘1’ 命令 进入 Subcase 菜单:

```

Press key to test specific function:

Input 'A'  4th power of 2 (16)      times of WDT_CLK Period.
Input 'B'  6th power of 2 (64)      times of WDT_CLK Period.
Input 'C'  8th power of 2 (256)     times of WDT_CLK Period.
Input 'D'  10th power of 2 (1024)   times of WDT_CLK Period.
Input 'E'  12th power of 2 (4096)   times of WDT_CLK Period.
Input 'F'  14th power of 2 (16384)  times of WDT_CLK Period.
Input 'G'  15th power of 2 (32768)  times of WDT_CLK Period.
Input 'H'  16th power of 2 (65536)  times of WDT_CLK Period.
Input 'I'  17th power of 2 (131072) times of WDT_CLK Period.
Input 'J'  18th power of 2 (262144) times of WDT_CLK Period.
Input 'K'  19th power of 2 (524288) times of WDT_CLK Period.
Input 'L'  20th power of 2 (1048576) times of WDT_CLK Period.
Input 'M'  21st power of 2 (2097152) times of WDT_CLK Period.
Input 'N'  22nd power of 2 (4194304) times of WDT_CLK Period.
Input 'O'  23rd power of 2 (8388608) times of WDT_CLK Period.
Input 'P'  24th power of 2 (16777216) times of WDT_CLK Period.
Press ESC key to back to the top level case list.
    
```

3.4.2.1 16 个 WDT_CLK 周期

测试目的:

将 Timeout 时间设置为 16 个 WDT_CLK 周期，验证超时事件是否及时产生。

测试预期:

WDT 计数开始，在 16 个 WDT_CLK 周期后超时。

测试现象:

先正确连接 Test Board 与逻辑分析仪，然后输入 ‘A’ 命令，可以看到 Log 打印 APB Clock 频率，以及检测到 TIMEOUT 的标志。

```
[14:20:01.322]发→◇A□
[14:20:01.328]收←◆
Start WDT Counting (APB1_CLK = 48000000Hz)...
TIMEOUT
TIMEOUT
TIMEOUT
TIMEOUT
TIMEOUT
```

再看 LA 的 P20 波形，发现开始的时候波形拉低，接着在 1054us 的时候出现第一个上升脉冲，后面则每隔 1259us 左右出现一个上升脉冲，在第 5 个上升沿之后，波形一直保持高电平。



测试分析:

从 Log 可知，APB Clock 为 48MHz，由此可知 WDT Clock:

$$WDT_CLK = \frac{APB1_CLK}{2048} = \frac{48MHz}{2048} = 23437Hz$$

超时时间:

$$Timeout = \frac{16}{WDT_CLK} = \frac{16}{23437} s = 682us$$

另外 Log 显示 Timeout Event 共出现了 5 次，而由 LA 波形也可看出共有 5 次上升沿，与 Log 一致。波形测量出的 Timeout 时间共有两种:

后面 4 个均为 853us，与前面计算的 682us 差别较大。原因是后四个 Timeout 时间，程序会比第一个多两个操作 WDT_ClearTimeoutFlag() 和 WDT_ResetCounter()，而这两个操作将会使得 WDT 多花 4 个 CLK 的时间，因此修正的公式应该为:

$$Timeout = \frac{16 + 4}{WDT_CLK} = \frac{20}{23437} s = 853us$$

可见已经与测量的 853us 基本一致了。

3.4.2.2 64 个 WDT_CLK 周期

测试目的:

将 Timeout 时间设置为 64 个 WDT_CLK 周期，验证超时事件是否及时产生。

测试预期:

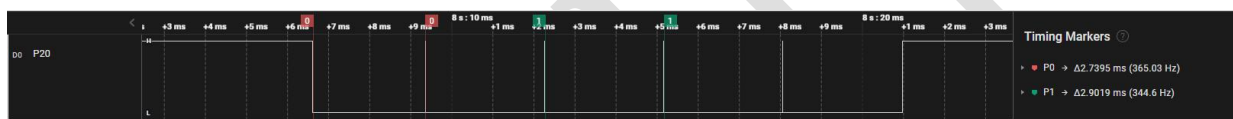
WDT 计数开始，在 64 个 WDT_CLK 周期后超时。

测试现象:

先正确连接 Test Board 与逻辑分析仪，然后输入 ‘B’ 命令，可以看到 Log 打印 APB Clock 频率，以及检测到 TIMEOUT 的标志。

```
[14:20:37.175]发→◇B□
[14:20:37.180]收←◆
Start WDT Counting (APB1_CLK = 48000000Hz)...
TIMEOUT
TIMEOUT
TIMEOUT
TIMEOUT
TIMEOUT
```

再看 LA 的 P20 波形，发现开始的时候波形拉低，接着在 2.740ms 的时候出现第一个上升脉冲，后面则每隔 2.90ms 左右出现一个上升脉冲，在第 5 个上升沿之后，波形一直保持高电平。



测试分析:

从 Log 可知，APB Clock 为 48MHz，由此可知 WDT Clock:

$$WDT_CLK = \frac{APB1_CLK}{2048} = \frac{48MHz}{2048} = 23437Hz$$

超时时间:

$$Timeout = \frac{64}{WDT_CLK} = \frac{64}{23437}s = 2.731ms$$

另外 Log 显示 Timeout Event 共出现了 5 次，而由 LA 波形也可看出共有 5 次上升沿，与 Log 一致。波形测量出的 Timeout 时间共有两种:

第 1 个为 2.740ms，与计算的 2.731ms 稍有误差，误差率:

$$Error_Ratio = \frac{Timeout_{calc} - Timeout_{exp}}{Timeout_{exp}} = \frac{2.740 - 2.731}{2.731} = 0.31\%$$

后面 4 个均为 2.900ms，与前面计算的 2.731ms 差别较大。原因是后四个 Timeout 时间，程序会比第一个多两个操作 WDT_ClearTimeoutFlag()和 WDT_ResetCounter()，而这两个操作将会使得 WDT 多花 4 个 CLK 的时间，因此修正的公式应该为:

$$Timeout = \frac{64 + 4}{WDT_CLK} = \frac{68}{23437}s = 2.901ms$$

可见已经与测量的 2.900ms 基本一致了。

3.4.2.3 256 个 WDT_CLK 周期

测试目的:

将 Timeout 时间设置为 256 个 WDT_CLK 周期, 验证超时事件是否及时产生。

测试预期:

WDT 计数开始, 在 256 个 WDT_CLK 周期后超时。

测试现象:

先正确连接 Test Board 与逻辑分析仪, 然后输入 ‘C’ 命令, 可以看到 Log 打印 APB Clock 频率, 以及检测到 TIMEOUT 的标志。

```
[14:21:43.562]发→◇C□
[14:21:43.567]收←◆
Start WDT Counting (APB1_CLK = 48000000Hz)...
TIMEOUT
TIMEOUT
TIMEOUT
TIMEOUT
TIMEOUT
```

再看 LA 的 P20 波形, 发现开始的时候波形拉低, 后面每隔 10.95ms 左右出现一个上升脉冲, 在第 5 个上升沿之后, 波形一直保持高电平。



测试分析:

从 Log 可知, APB Clock 为 48MHz, 由此可知 WDT Clock:

$$WDT_CLK = \frac{APB1_CLK}{2048} = \frac{48MHz}{2048} = 23437Hz$$

超时时间:

$$Timeout = \frac{256}{WDT_CLK} = \frac{256}{23437} s = 10.92ms$$

另外 Log 显示 Timeout Event 共出现了 5 次, 而由 LA 波形也可看出共有 5 次上升沿, 与 Log 一致。波形测量出的 Timeout 时间为 10.95ms, 与计算的 10.92ms 稍有误差, 误差率:

$$Error_Ratio = \frac{Timeout_{calc} - Timeout_{exp}}{Timeout_{exp}} = \frac{10.95 - 10.92}{10.92} = 0.25\%$$

注意: 此处因为没有用修正的公式来计算 Timeout, 因此计算的误差会比实际稍大, 具体见

3.4.2.2 小节的分析。

3.4.2.4 1024 个 WDT_CLK 周期

测试目的：

将 Timeout 时间设置为 1024 个 WDT_CLK 周期，验证超时事件是否及时产生。

测试预期：

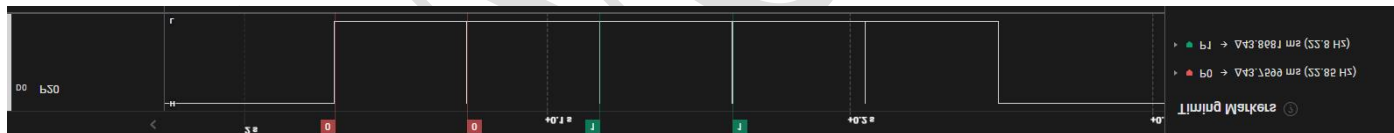
WDT 计数开始，在 1024 个 WDT_CLK 周期后超时。

测试现象：

先正确连接 Test Board 与逻辑分析仪，然后输入 ‘D’ 命令，可以看到 Log 打印 APB Clock 频率，以及检测到 TIMEOUT 的标志。

```
[10:41:42.023]发→◇D□
[10:41:42.028]收←◆
Start WDT Counting (APB1_CLK = 48000000Hz)...
[10:41:42.072]收←◆TIMEOUT
[10:41:42.115]收←◆TIMEOUT
[10:41:42.159]收←◆TIMEOUT
[10:41:42.204]收←◆TIMEOUT
[10:41:42.251]收←◆TIMEOUT
```

再看 LA 的 P20 波形，发现开始的时候波形拉低，后面每隔 43.76ms 左右出现一个上升脉冲，在第 5 个上升沿之后，波形一直保持高电平。



测试分析：

从 Log 可知，APB Clock 为 48MHz，由此可知 WDT Clock：

$$WDT_CLK = \frac{APB1_CLK}{2048} = \frac{48MHz}{2048} = 23437Hz$$

超时时间：

$$Timeout = \frac{1024}{WDT_CLK} = \frac{1024}{23437} s = 43.69ms$$

另外 Log 显示 Timeout Event 共出现了 5 次，而由 LA 波形也可看出共有 5 次上升沿，与 Log 一致。波形测量出的 Timeout 时间为 65.83ms，与计算的 65.54ms 基本一致，误差率：

$$\text{Error_Ratio} = \frac{\text{Timeout}_{\text{calc}} - \text{Timeout}_{\text{exp}}}{\text{Timeout}_{\text{exp}}} = \frac{43.76 - 43.69}{43.69} = 0.15\%$$

注意：此处因为没有用修正的公式来计算 Timeout，因此计算的误差会比实际稍大，具体见 3.4.2.2 小节的分析。

3.4.2.5 4096 个 WDT_CLK 周期

测试目的：

将 Timeout 时间设置为 4096 个 WDT_CLK 周期，验证超时事件是否及时产生。

测试预期：

WDT 计数开始，在 4096 个 WDT_CLK 周期后超时。

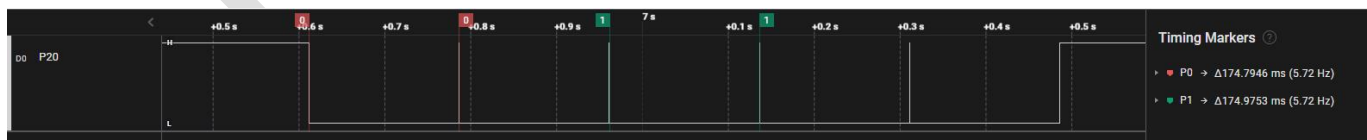
测试现象：

先正确连接 Test Board 与逻辑分析仪，然后输入 ‘E’ 命令，可以看到 Log 打印 APB Clock 频率，以及检测到 TIMEOUT 的标志。

```
[10:45:03.736]发→◇E□
[10:45:03.741]收←◆
Start WDT Counting (APB1_CLK = 48000000Hz)...

[10:45:03.915]收←◆TIMEOUT
[10:45:04.090]收←◆TIMEOUT
[10:45:04.265]收←◆TIMEOUT
[10:45:04.440]收←◆TIMEOUT
[10:45:04.619]收←◆TIMEOUT
```

再看 LA 的 P20 波形，发现开始的时候波形拉低，后面每隔 174.79ms 左右出现一个上升脉冲，在第 5 个上升沿之后，波形一直保持高电平。



测试分析：

从 Log 可知，APB Clock 为 48MHz，由此可知 WDT Clock：

$$\text{WDT_CLK} = \frac{\text{APB1_CLK}}{2048} = \frac{48\text{MHz}}{2048} = 23437\text{Hz}$$

超时时间:

$$\text{Timeout} = \frac{4096}{WDT_CLK} = \frac{4096}{23437} s = 174.76\text{ms}$$

另外 Log 显示 Timeout Event 共出现了 5 次，而由 LA 波形也可看出共有 5 次上升沿，与 Log 一致。波形测量出的 Timeout 时间为 174.79ms，与计算的 174.76ms 基本一致。

注意：误差率总结具体见 3.4.2.17 小节。

3.4.2.6 16384 个 WDT_CLK 周期

测试目的:

将 Timeout 时间设置为 16384 个 WDT_CLK 周期，验证超时事件是否及时产生。

测试预期:

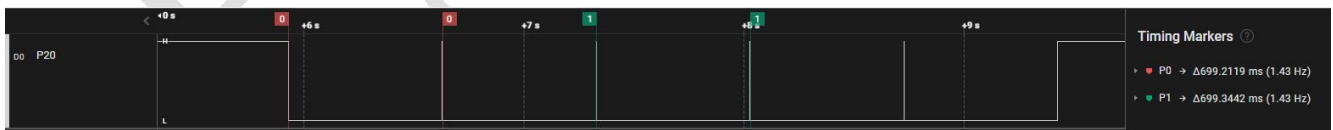
WDT 计数开始，在 16384 个 WDT_CLK 周期后超时。

测试现象:

先正确连接 Test Board 与逻辑分析仪，然后输入 ‘F’ 命令，可以看到 Log 打印 APB Clock 频率，以及检测到 TIMEOUT 的标志。

```
[10:49:18.822]发→◇F□
[10:49:18.827]收←◆
Start WDT Counting (APB1_CLK = 48000000Hz)...
[10:49:19.525]收←◆TIMEOUT
[10:49:20.224]收←◆TIMEOUT
[10:49:20.923]收←◆TIMEOUT
[10:49:21.622]收←◆TIMEOUT
[10:49:22.326]收←◆TIMEOUT
```

再看 LA 的 P20 波形，发现开始的时候波形拉低，后面每隔 699.21ms 左右出现一个上升脉冲，在第 5 个上升沿之后，波形一直保持高电平。



测试分析:

从 Log 可知，APB Clock 为 48MHz，由此可知 WDT Clock:

$$WDT_CLK = \frac{APB1_CLK}{2048} = \frac{48\text{MHz}}{2048} = 23437\text{Hz}$$

超时时间:

$$\text{Timeout} = \frac{16384}{WDT_CLK} = \frac{16384}{23437} s = 699.05\text{ms}$$

另外 Log 显示 Timeout Event 共出现了 5 次，而由 LA 波形也可看出共有 5 次上升沿，与 Log 一致。波形测量出的 Timeout 时间为 699.21ms，与计算的 699.05ms 基本一致。

注意：误差率总结具体见 3.4.2.17 小节。

3.4.2.7 32768 个 WDT_CLK 周期

测试目的：

将 Timeout 时间设置为 32768 个 WDT_CLK 周期，验证超时事件是否及时产生。

测试预期：

WDT 计数开始，在 32768 个 WDT_CLK 周期后超时。

测试现象：

先正确连接 Test Board 与逻辑分析仪，然后输入 ‘G’ 命令，可以看到 Log 打印 APB Clock 频率，以及检测到 TIMEOUT 的标志。

```
[14:33:36.000]发→◇G□
[14:33:36.005]收←◆
Start WDT Counting (APB1_CLK = 48000000Hz)...
[14:33:37.403]收←◆TIMEOUT
[14:33:38.800]收←◆TIMEOUT
[14:33:40.198]收←◆TIMEOUT
[14:33:41.597]收←◆TIMEOUT
[14:33:43.000]收←◆TIMEOUT
```

再看 LA 的 P20 波形，发现开始的时候波形拉低，后面每隔 16.7873s 左右出现一个上升脉冲，在第 5 个上升沿之后，波形一直保持高电平。



测试分析：

从 Log 可知，APB Clock 为 48MHz，由此可知 WDT Clock:

$$WDT_CLK = \frac{APB1_CLK}{2048} = \frac{48MHz}{2048} = 23437Hz$$

超时时间:

$$\text{Timeout} = \frac{32768}{WDT_CLK} = \frac{32768}{23437} s = 1.3981s$$

另外 Log 显示 Timeout Event 共出现了 5 次，而由 LA 波形也可看出共有 5 次上升沿，与 Log 一致。波形测量出的 Timeout 时间为 1.3986s，与计算的 1.3981s 基本一致。

注意：误差率总结具体见 3.4.2.17 小节。

3.4.2.8 65536 个 WDT_CLK 周期

测试目的：

将 Timeout 时间设置为 65536 个 WDT_CLK 周期，验证超时事件是否及时产生。

测试预期：

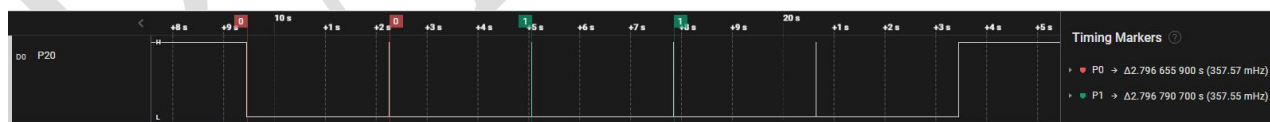
WDT 计数开始，在 65536 个 WDT_CLK 周期后超时。

测试现象：

先正确连接 Test Board 与逻辑分析仪，然后输入 ‘H’ 命令，可以看到 Log 打印 APB Clock 频率，以及检测到 TIMEOUT 的标志。

```
[14:51:55.938]发→◇H□
[14:51:55.943]收←◆
Start WDT Counting (APB1_CLK = 48000000Hz)...
[14:51:58.738]收←◆TIMEOUT
[14:52:01.534]收←◆TIMEOUT
[14:52:04.330]收←◆TIMEOUT
[14:52:07.126]收←◆TIMEOUT
[14:52:09.927]收←◆TIMEOUT
```

再看 LA 的 P20 波形，发现开始的时候波形拉低，后面每隔 2.797s 左右出现一个上升脉冲，在第 5 个上升沿之后，波形一直保持高电平。



测试分析：

从 Log 可知，APB Clock 为 48MHz，由此可知 WDT Clock：

$$WDT_CLK = \frac{APB1_CLK}{2048} = \frac{48MHz}{2048} = 23437Hz$$

超时时间：

$$\text{Timeout} = \frac{65536}{WDT_CLK} = \frac{65536}{23437} s = 2.796s$$

另外 Log 显示 Timeout Event 共出现了 5 次，而由 LA 波形也可看出共有 5 次上升沿，与 Log 一致。波形测量出的 Timeout 时间为 2.797s，与计算的 2.796s 基本一致。

注意：误差率总结具体见 3.4.2.17 小节。

3.4.2.9 131072 个 WDT_CLK 周期

测试目的：

将 Timeout 时间设置为 131072 个 WDT_CLK 周期，验证超时事件是否及时产生。

测试预期：

WDT 计数开始，在 131072 个 WDT_CLK 周期后超时。

测试现象：

先正确连接 Test Board 与逻辑分析仪，然后输入 ‘I’ 命令，可以看到 Log 打印 APB Clock 频率，以及检测到 TIMEOUT 的标志。

```
[14:59:27.072]发→◇I□
[14:59:27.077]收←◆
Start WDT Counting (APB1_CLK = 48000000Hz)...
[14:59:32.668]收←◆TIMEOUT
[14:59:38.260]收←◆TIMEOUT
[14:59:43.853]收←◆TIMEOUT
[14:59:49.444]收←◆TIMEOUT
[14:59:55.042]收←◆TIMEOUT
```

再看 LA 的 P20 波形，发现开始的时候波形拉低，后面每隔 5.5933s 左右出现一个上升脉冲，在第 5 个上升沿之后，波形一直保持高电平。



测试分析：

从 Log 可知，APB Clock 为 48MHz，由此可知 WDT Clock:

$$WDT_CLK = \frac{APB1_CLK}{2048} = \frac{48MHz}{2048} = 23437Hz$$

超时时间：

$$Timeout = \frac{131072}{WDT_CLK} = \frac{131072}{23437} s = 5.5924s$$

另外 Log 显示 Timeout Event 共出现了 5 次，而由 LA 波形也可看出共有 5 次上升沿，与 Log 一致。波形测量出的 Timeout 时间为 5.5933s，与计算的 5.5924s 基本一致。

注意：误差率总结具体见 3.4.2.17 小节。

3.4.2.10 262144 个 WDT_CLK 周期

测试目的:

将 Timeout 时间设置为 262144 个 WDT_CLK 周期，验证超时事件是否及时产生。

测试预期:

WDT 计数开始，在 262144 个 WDT_CLK 周期后超时。

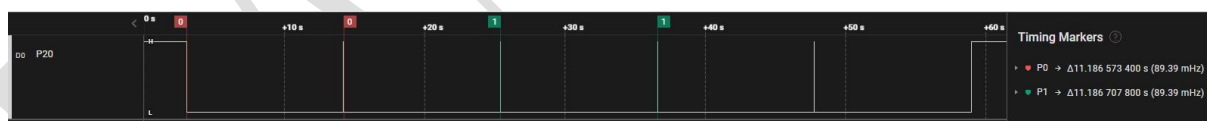
测试现象:

先正确连接 Test Board 与逻辑分析仪，然后输入 ‘J’ 命令，可以看到 Log 打印 APB Clock 频率，以及检测到 TIMEOUT 的标志。

```
[15:01:19.507]发→◇J□
[15:01:19.512]收←◆
Start WDT Counting (APB1_CLK = 48000000Hz)...

[15:01:30.695]收←◆TIMEOUT
[15:01:41.879]收←◆TIMEOUT
[15:01:53.064]收←◆TIMEOUT
[15:02:04.248]收←◆TIMEOUT
[15:02:15.438]收←◆TIMEOUT
```

再看 LA 的 P20 波形，发现开始的时候波形拉低，后面每隔 11.1866s 左右出现一个上升脉冲，在第 5 个上升沿之后，波形一直保持高电平。



测试分析:

从 Log 可知，APB Clock 为 48MHz，由此可知 WDT Clock:

$$WDT_CLK = \frac{APB1_CLK}{2048} = \frac{48MHz}{2048} = 23437Hz$$

超时时间:

$$Timeout = \frac{262144}{WDT_CLK} = \frac{262144}{23437} s = 11.1848s$$

另外 Log 显示 Timeout Event 共出现了 5 次，而由 LA 波形也可看出共有 5 次上升沿，与 Log 一致。波形测量出的 Timeout 时间为 11.1866s，与计算的 11.1848s 基本一致。

注意：误差率总结具体见 3.4.2.17 小节。

3.4.2.11 524288 个 WDT_CLK 周期

测试目的：

将 Timeout 时间设置为 262144 个 WDT_CLK 周期，验证超时事件是否及时产生。

测试预期：

WDT 计数开始，在 262144 个 WDT_CLK 周期后超时。

测试现象：

先正确连接 Test Board 与逻辑分析仪，然后输入 ‘K’ 命令，可以看到 Log 打印 APB Clock 频率，以及检测到 TIMEOUT 的标志。

```
[15:03:56.912]发→◇K□
[15:03:56.917]收←◆
Start WDT Counting (APB1_CLK = 48000000Hz)...
[15:04:19.285]收←◆TIMEOUT
[15:04:41.654]收←◆TIMEOUT
[15:05:04.022]收←◆TIMEOUT
[15:05:26.391]收←◆TIMEOUT
[15:05:48.763]收←◆TIMEOUT
```

再看 LA 的 P20 波形，发现开始的时候波形拉低，后面每隔 22.3730s 左右出现一个上升脉冲，在第 5 个上升沿之后，波形一直保持高电平。



测试分析：

从 Log 可知，APB Clock 为 48MHz，由此可知 WDT Clock：

$$WDT_CLK = \frac{APB1_CLK}{2048} = \frac{48MHz}{2048} = 23437Hz$$

超时时间：

$$\text{Timeout} = \frac{524288}{WDT_CLK} = \frac{524288}{23437} s = 22.3696s$$

另外 Log 显示 Timeout Event 共出现了 5 次，而由 LA 波形也可看出共有 5 次上升沿，与 Log 一致。波形测量出的 Timeout 时间为 22.3730s，与计算的 22.3696s 基本一致。

注意：误差率总结具体见 3.4.2.17 小节。

3.4.2.12 1048576 个 WDT_CLK 周期

测试目的：

将 Timeout 时间设置为 1048576 个 WDT_CLK 周期，验证超时事件是否及时产生。

测试预期：

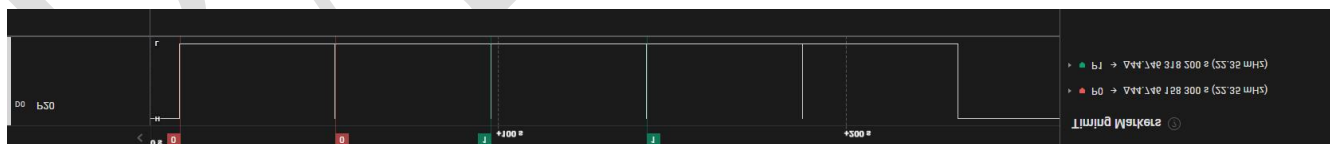
WDT 计数开始，在 1048576 个 WDT_CLK 周期后超时。

测试现象：

先正确连接 Test Board 与逻辑分析仪，然后输入 ‘L’ 命令，可以看到 Log 打印 APB Clock 频率，以及检测到 TIMEOUT 的标志。

```
[15:07:25.930]发->◇L□
[15:07:25.935]收<-◆
Start WDT Counting (APB1_CLK = 48000000Hz)...
[15:08:10.670]收<-◆TIMEOUT
[15:08:55.407]收<-◆TIMEOUT
[15:09:40.144]收<-◆TIMEOUT
[15:10:24.881]收<-◆TIMEOUT
[15:11:09.623]收<-◆TIMEOUT
```

再看 LA 的 P20 波形，发现开始的时候波形拉低，后面每隔 44.7461s 左右出现一个上升脉冲，在第 5 个上升沿之后，波形一直保持高电平。



测试分析：

从 Log 可知，APB Clock 为 48MHz，由此可知 WDT Clock:

$$WDT_CLK = \frac{APB1_CLK}{2048} = \frac{48MHz}{2048} = 23437Hz$$

超时时间：

$$\text{Timeout} = \frac{1048576}{WDT_CLK} = \frac{1048576}{23437} s = 44.7392s$$

另外 Log 显示 Timeout Event 共出现了 5 次，而由 LA 波形也可看出共有 5 次上升沿，与 Log 一致。波形测量出的 Timeout 时间为 44.7461s，与计算的 44.7392s 基本一致。

注意：误差率总结具体见 3.4.2.17 小节。

3.4.2.13 2097152 个 WDT_CLK 周期

测试目的：

将 Timeout 时间设置为 2097152 个 WDT_CLK 周期，验证超时事件是否及时产生。

测试预期：

WDT 计数开始，在 2097152 个 WDT_CLK 周期后超时。

测试现象：

先正确连接 Test Board 与逻辑分析仪，然后输入 ‘M’ 命令，可以看到 Log 打印 APB Clock 频率，以及检测到 TIMEOUT 的标志。

```
[15:12:22.451]发->◇M□
[15:12:22.456]收<-◆
Start WDT Counting (APB1_CLK = 48000000Hz)...
[15:13:51.929]收<-◆TIMEOUT
[15:15:21.403]收<-◆TIMEOUT
[15:16:50.876]收<-◆TIMEOUT
[15:18:20.350]收<-◆TIMEOUT
[15:19:49.828]收<-◆TIMEOUT
```

再看 LA 的 P20 波形，发现开始的时候波形拉低，后面每隔 89.4924s 左右出现一个上升脉冲，在第 5 个上升沿之后，波形一直保持高电平。



测试分析：

从 Log 可知，APB Clock 为 48MHz，由此可知 WDT Clock:

$$WDT_CLK = \frac{APB1_CLK}{2048} = \frac{48MHz}{2048} = 23437Hz$$

超时时间:

$$\text{Timeout} = \frac{2097152}{WDT_CLK} = \frac{2097152}{23437} s = 89.4785s$$

另外 Log 显示 Timeout Event 共出现了 5 次，而由 LA 波形也可看出共有 5 次上升沿，与 Log 一致。波形测量出的 Timeout 时间为 89.4924s，与计算的 89.4785s 基本一致。

注意：误差率总结具体见 3.4.2.17 小节。

3.4.2.14 4194304 个 WDT_CLK 周期

测试目的:

将 Timeout 时间设置为 4194304 个 WDT_CLK 周期，验证超时事件是否及时产生。

测试预期:

WDT 计数开始，在 4194304 个 WDT_CLK 周期后超时。

测试现象:

先正确连接 Test Board 与逻辑分析仪，然后输入 ‘N’ 命令，可以看到 Log 打印 APB Clock 频率，以及检测到 TIMEOUT 的标志。

```
[15:24:10.287]发→◇N
[15:24:10.295]收←◆
Start WDT Counting (APB1_CLK = 48000000Hz)...
[15:27:09.239]收←◆TIMEOUT
[15:30:08.186]收←◆TIMEOUT
[15:33:07.133]收←◆TIMEOUT
[15:36:06.080]收←◆TIMEOUT
[15:39:05.031]收←◆TIMEOUT
```

再看 LA 的 P20 波形，发现开始的时候波形拉低，后面每隔 178.984s 左右出现一个上升脉冲，在第 5 个上升沿之后，波形一直保持高电平。



测试分析:

从 Log 可知，APB Clock 为 48MHz，由此可知 WDT Clock:

$$WDT_CLK = \frac{APB1_CLK}{2048} = \frac{48MHz}{2048} = 23437Hz$$

超时时间:

$$\text{Timeout} = \frac{4194304}{WDT_CLK} = \frac{4194304}{23437} s = 178.957s$$

另外 Log 显示 Timeout Event 共出现了 5 次，而由 LA 波形也可看出共有 5 次上升沿，与 Log 一致。波形测量出的 Timeout 时间为 178.984s，与计算的 178.957s 基本一致。

注意：误差率总结具体见 3.4.2.17 小节。

3.4.2.15 8388608 个 WDT_CLK 周期

测试目的：

将 Timeout 时间设置为 8388608 个 WDT_CLK 周期，验证超时事件是否及时产生。

测试预期：

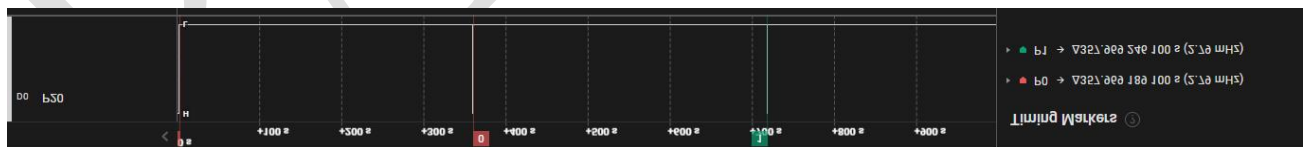
WDT 计数开始，在 8388608 个 WDT_CLK 周期后超时。

测试现象：

先正确连接 Test Board 与逻辑分析仪，然后输入 ‘O’ 命令，可以看到 Log 打印 APB Clock 频率，以及检测到 TIMEOUT 的标志。

```
[15:49:58.329]发->◇0□
[15:49:58.334]收<-◆
Start WDT Counting (APB1_CLK = 48000000Hz)...
[15:55:56.227]收<-◆TIMEOUT
[16:01:54.122]收<-◆TIMEOUT
[16:07:52.016]收<-◆TIMEOUT
[16:13:49.910]收<-◆TIMEOUT
[16:19:47.809]收<-◆TIMEOUT
```

再看 LA 的 P20 波形，发现开始的时候波形拉低，后面每隔 357.969s 左右出现一个上升脉冲，在第 5 个上升沿之后，波形一直保持高电平。



测试分析：

从 Log 可知，APB Clock 为 48MHz，由此可知 WDT Clock：

$$WDT_CLK = \frac{APB1_CLK}{2048} = \frac{48MHz}{2048} = 23437Hz$$

超时时间：

$$\text{Timeout} = \frac{8388608}{\text{WDT_CLK}} = \frac{8388608}{23437} \text{s} = 357.914\text{s}$$

另外 Log 显示 Timeout Event 共出现了 5 次，而由 LA 波形也可看出共有 5 次上升沿，与 Log 一致。波形测量出的 Timeout 时间为 357.969s，与计算的 357.914s 基本一致。

注意：误差率总结具体见 3.4.2.17 小节。

3.4.2.16 16777216 个 WDT_CLK 周期

测试目的：

将 Timeout 时间设置为 16777216 个 WDT_CLK 周期，验证超时事件是否及时产生。

测试预期：

WDT 计数开始，在 16777216 个 WDT_CLK 周期后超时。

测试现象：

先正确连接 Test Board 与逻辑分析仪，然后输入 ‘P’ 命令，可以看到 Log 打印 APB Clock 频率，以及检测到 TIMEOUT 的标志。

```
[16:23:41.359]发→◇P□
[16:23:41.365]收←◆
Start WDT Counting (APB1_CLK = 48000000Hz)...
[16:35:37.151]收←◆TIMEOUT
[16:47:32.940]收←◆TIMEOUT
[16:59:28.727]收←◆TIMEOUT
[17:11:24.516]收←◆TIMEOUT
[17:23:20.309]收←◆TIMEOUT
```

再看 LA 的 P20 波形，发现开始的时候波形拉低，后面每隔 715.938s 左右出现一个上升脉冲，在第 5 个上升沿之后，波形一直保持高电平。



测试分析：

从 Log 可知，APB Clock 为 48MHz，由此可知 WDT Clock：

$$\text{WDT_CLK} = \frac{\text{APB1_CLK}}{2048} = \frac{48\text{MHz}}{2048} = 23437\text{Hz}$$

超时时间:

$$\text{Timeout} = \frac{16777216}{\text{WDT_CLK}} = \frac{16777216}{23437} \text{s} = 715.828\text{s}$$

另外 Log 显示 Timeout Event 共出现了 5 次, 而由 LA 波形也可看出共有 5 次上升沿, 与 Log 一致。波形测量出的 Timeout 时间为 715.938s, 与计算的 715.828s 基本一致。

注意: 误差率总结具体见 3.4.2.17 小节。

3.4.2.17 误差率总结

CMD	Power of 2	WDT_CLK Period	APB1_CLK	WDT_CLK	Timeout_exp	Timeout_calc	误差率
A	4	16	48000000	23438	0.0006827	0.000682	
B	6	64	48000000	23438	0.0027307	0.002739	0.3052%
C	8	256	48000000	23438	0.0109227	0.01095	0.2502%
D	10	1024	48000000	23438	0.0436907	0.04376	0.1587%
E	12	4096	48000000	23438	0.1747627	0.17479	0.0156%
F	14	16384	48000000	23438	0.6990507	0.69921	0.0228%
G	15	32768	48000000	23438	1.3981013	1.3983	0.0142%
H	16	65536	48000000	23438	2.7962027	2.7967	0.0178%
I	17	131072	48000000	23438	5.5924053	5.5933	0.0160%
J	18	262144	48000000	23438	11.1848107	11.1866	0.0160%
K	19	524288	48000000	23438	22.3696213	22.373	0.0151%
L	20	1048576	48000000	23438	44.7392427	44.7461	0.0153%
M	21	2097152	48000000	23438	89.4784853	89.4924	0.0156%
N	22	4194304	48000000	23438	178.9569707	178.984	0.0151%
O	23	8388608	48000000	23438	357.9139413	357.969	0.0154%
P	24	16777216	48000000	23438	715.8278827	715.938	0.0154%

3.4.3 时钟源选择

在主菜单下, 输入 '2' 命令 进入 Subcase 菜单:

```

+-----+
| Press key to test specific function: |
|                                         |
| Input 'A'    16    times of LIRC (WDT_CLK) Period. |
| Input 'B'   4096  times of LIRC (WDT_CLK) Period. |
| Input 'C'  262144 times of LIRC (WDT_CLK) Period. |
| Press ESC key to back to the top level case list. |
+-----+

```

3.4.3.1 16 个 WDT_CLK 周期, WDT_CLK 为 RCL

测试目的:

将时钟源由 APB 切换至 RCL, Timeout 时间设置为 16 个 WDT_CLK 周期, 验证超时事件是否及时产生。

测试预期:

WDT 计数开始, 在 16 个 RCL 周期后超时。

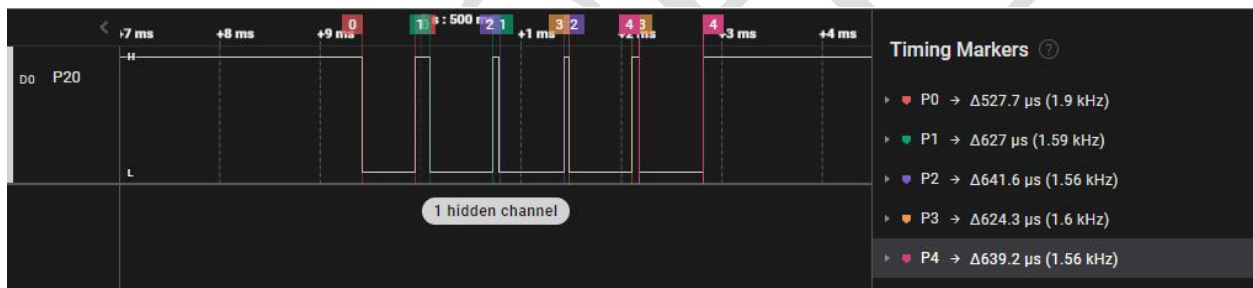
测试现象:

先正确连接 Test Board 与逻辑分析仪，然后输入 ‘A’ 命令，可以看到 Log 打印 RCL Clock 频率，以及检测到 TIMEOUT 的标志。

```

a
Start WDT Counting (Clock is 32KHZ LIRC)...
TIMEOUT
TIMEOUT
TIMEOUT
TIMEOUT
TIMEOUT
TIMEOUT
-----
Press key to test specific function:
Input 'A'   16      times of LIRC (WDT_CLK) Period.
Input 'B'  4096    times of LIRC (WDT_CLK) Period.
Input 'C' 262144  times of LIRC (WDT_CLK) Period.
Press ESC key to back to the top level case list.
    
```

再看 LA 的 P20 波形，发现开始的时候波形拉低，后面每隔 627us 左右出现一个上升脉冲，在第 5 个上升沿之后，波形一直保持高电平。



测试分析:

从 Log 可知，RCL Clock 为 32KHz，由此可知 WDT Clock:

$$WDT_CLK = LIRC = 32KHz$$

超时时间:

$$Timeout = \frac{16}{WDT_CLK} = \frac{16}{32000} s = 500us$$

另外 Log 显示 Timeout Event 共出现了 5 次，而由 LA 波形也可看出共有 5 次上升沿，与 Log 一致。波形测量出的 Timeout 时间为 627us，与计算的 500us 有误差，误差率:

$$Error_Ratio = \frac{Timeout_{calc} - Timeout_{exp}}{Timeout_{exp}} = \frac{627 - 500}{500} = 25.4\%$$

误差是因为 Test Board 的 RCL 并未校准，因此导致 WDT CLK 也会不准，符合预期。

3.4.3.2 4096 个 WDT_CLK 周期，WDT_CLK 为 RCL

测试目的：

将时钟源由 APB 切换至 RCL，Timeout 时间设置为 4096 个 WDT_CLK 周期，验证超时事件是否及时产生。

测试预期：

WDT 计数开始，在 4096 个 RCL 周期后超时。

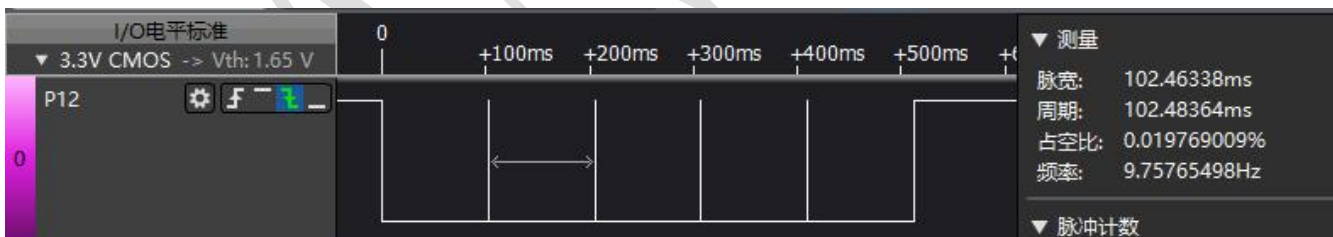
测试现象：

先正确连接 Test Board 与逻辑分析仪，然后输入 ‘B’ 命令，可以看到 Log 打印 RCL Clock 频率，以及检测到 TIMEOUT 的标志。

```
b
Start WDT Counting (Clock is 32KHZ LIRC)...
TIMEOUT
TIMEOUT
TIMEOUT
TIMEOUT
TIMEOUT
```

```
+-----+
| Press key to test specific function: |
|                                       |
| Input 'A'   16      times of LIRC (WDT_CLK) Period. |
| Input 'B'  4096   times of LIRC (WDT_CLK) Period. |
| Input 'C' 262144 times of LIRC (WDT_CLK) Period. |
| Press ESC key to back to the top level case list. |
+-----+
```

再看 LA 的 P20 波形，发现开始的时候波形拉低，后面每隔 132ms 左右出现一个上升脉冲，在第 5 个上升沿之后，波形一直保持高电平。



测试分析：

从 Log 可知，RCL Clock 为 32KHz，由此可知 WDT Clock:

$$WDT_CLK = LIRC = 32KHz$$

超时时间：

$$Timeout = \frac{4096}{WDT_CLK} = \frac{4096}{32000} s = 128ms$$

另外 Log 显示 Timeout Event 共出现了 5 次，而由 LA 波形也可看出共有 5 次上升沿，与 Log

一致。波形测量出的 Timeout 时间为 132ms，与计算的 128ms 有误差，误差率：

$$\text{Error_Ratio} = \frac{\text{Timeout}_{\text{calc}} - \text{Timeout}_{\text{exp}}}{\text{Timeout}_{\text{exp}}} = \frac{132 - 128}{128} = 3.37\%$$

误差率还是比较大的，这是因为 Test Board 的 RCL 并未校准，因此导致 WDT CLK 也会不准，符合预期。

3.4.3.3 262144 个 WDT_CLK 周期，WDT_CLK 为 RCL

测试目的：

将时钟源由 APB 切换至 RCL，Timeout 时间设置为 262144 个 WDT_CLK 周期，验证超时事件是否及时产生。

测试预期：

WDT 计数开始，在 262144 个 RCL 周期后超时。

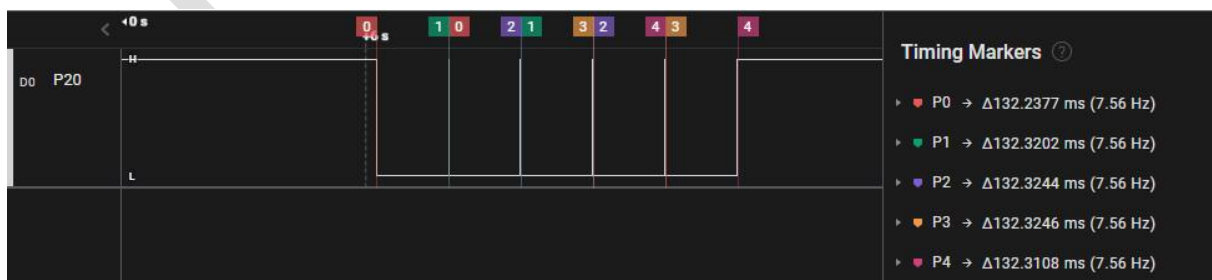
测试现象：

先正确连接 Test Board 与逻辑分析仪，然后输入 ‘C’ 命令，可以看到 Log 打印 RCL Clock 频率，以及检测到 TIMEOUT 的标志。

```
C
Start WDT Counting (Clock is 32KHZ LIRC)...
TIMEOUT
TIMEOUT
TIMEOUT
TIMEOUT
TIMEOUT
```

```
+-----+
| Press key to test specific function: |
|                                         |
| Input 'A'   16      times of LIRC (WDT_CLK) Period. |
| Input 'B'  4096   times of LIRC (WDT_CLK) Period. |
| Input 'C' 262144 times of LIRC (WDT_CLK) Period. |
| Press ESC key to back to the top level case list. |
+-----+
```

再看 LA 的 P20 波形，发现开始的时候波形拉低，后面每隔 8.463s 左右出现一个上升脉冲，在第 5 个上升沿之后，波形一直保持高电平。



测试分析:

从 Log 可知, RCL Clock 为 32KHz, 由此可知 WDT Clock:

$$WDT_CLK = LIRC = 32KHz$$

超时时间:

$$Timeout = \frac{262144}{WDT_CLK} = \frac{262144}{32000} s = 8.192s$$

另外 Log 显示 Timeout Event 共出现了 5 次, 而由 LA 波形也可看出共有 5 次上升沿, 与 Log 一致。波形测量出的 Timeout 时间为 8.463s, 与计算的 8.192s 稍有误差, 误差率:

$$Error_{Ratio} = \frac{Timeout_{calc} - Timeout_{exp}}{Timeout_{exp}} = \frac{8.463 - 8.192}{8.192} = 3.31\%$$

误差率还是比较大的, 这是因为 Test Board 的 RCL 并未校准, 因此导致 WDT CLK 也会不准, 符合预期。

3.4.4 中断模式

在主菜单下, 输入 '3' 命令 进入 Subcase 菜单:

```

+-----+
| Press key to test specific function: |
|                                     |
| Input 'A'   Enable WDT Interrupt.  |
| Press ESC key to back to the top level case list. |
+-----+

```

测试目的:

验证 WDT Timeout 超时中断能否准确及时触发。

测试预期:

WDT 计数开始, 在设定的超时时间后触发中断。

测试现象:

先正确连接 Test Board 与逻辑分析仪, 然后输入 'A' 命令, 可以看到 Log 打印 APB Clock 频率为 48MHz, 以及检测到 WDT INT 触发的标志。

```
[17:44:03.321]发→◇A□
[17:44:03.327]收←◆
Start WDT Counting (APB1_CLK = 48000000Hz, TimeoutCnt = 4096)...
[17:44:03.502]收←◆WDT INT
[17:44:03.677]收←◆WDT INT
[17:44:03.852]收←◆WDT INT
[17:44:04.027]收←◆WDT INT
[17:44:04.202]收←◆WDT INT
[17:44:04.332]收←◆
```

再看 LA 的 P20 波形，发现开始的时候波形被短暂拉低后立刻被拉高，然后在 1s 后再次被拉低，在这 1s 内，每隔 174.93ms 左右出现一个向下的脉冲。



测试分析：

从 Log 可知，APB Clock 为 48MHz，WDT Clock Count 为 4096，由 3.4.2.5 小节可知，Timeout 时间为 174.76ms。

另外 Log 显示 Timeout INT 共出现了 5 次，而由 LA 波形也可看出共有 5 次向下的脉冲，与 Log 一致。波形测量出的 Timeout 时间为 174.93ms，与计算的 174.76 稍有误差，总体符合预期。

3.4.5 复位模式

在主菜单下，输入 ‘4’ 命令 进入 Subcase 菜单：

```
Press key to test specific function:
Input 'A'   Enable WDT Reset, delay 1025 times of WDT_CLK.
Input 'B'   Enable WDT Reset, delay 129  times of WDT_CLK.
Input 'C'   Enable WDT Reset, delay 17   times of WDT_CLK.
Input 'D'   Enable WDT Reset, delay 2   times of WDT_CLK.
Input 'E'   Enable WDT Reset and feed WDT before timeout.
Press ESC key to back to the top level case list.
```

3.4.5.1 延时 1025 个 WDT_CLK 周期后复位

测试目的：

使能复位功能，验证设定的计数超时与 1025 个 WDT_CLK 周期的延时时间后是否准确及时产生复位信号并复位系统，系统复位后检查 Wakeup Flag 是否保留。

测试预期：

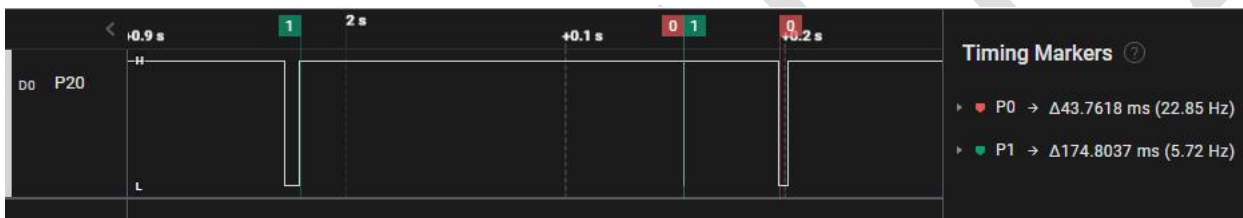
WDT 计数开始，在设定的 WDT_CLK 周期后超时，然后再经过 1025 个 WDT_CLK 周期的延时时间后，系统复位，此时检查 Wakeup Flag 值，发现可以成功保留。

测试现象：

先正确连接 Test Board 与逻辑分析仪，然后输入 ‘A’ 命令，可以看到 Log 打印 APB Clock 频率，超时计数 Timeout Count，以及复位延时计数 Delay Count。短暂时间后，打印 WDT INT 的 Log，触发复位：

```
[09:40:55.349]发→◇A□
[09:40:55.355]收←◆
WDT Reset Delay Count = 1025
Start WDT Counting (APB1_CLK = 48000000Hz, TimeoutCnt = 4096)...
[09:40:55.532]收←◆WDT INT
```

再看 LA 的 P20 波形，发现开始的时候波形被短暂拉低后拉高，174ms 后出现短脉冲，后续又保持 43.76ms 的高电平，之后又有一个拉低的短脉冲，最后一直维持高电平。



测试分析：

测试程序配置为 4096 个 WDT_CLK 后，触发 WDT 中断；接着经过 1025 个 CLK 的 Delay 时间后，触发系统 Reset。

从 Log 与 LA 波形可知，WDT 中断可以在开启 WDT 后 174m 成功触发，与理论时间（可由 3.4.2.5 小节的测试得知）基本一致；又经过了 43.76ms 的延时（与理论时间 $\frac{1025}{WDT_CLK} = \frac{1025}{23437} S = 43.7ms$ 基本一致）后触发系统 Reset。

3.4.5.2 延时 129 个 WDT_CLK 周期后复位

测试目的：

使能复位功能，验证设定的计数超时与 129 个 WDT_CLK 周期的延时时间后是否准确及时产生复位信号并复位系统，系统复位后检查 Wakeup Flag 是否保留。

测试预期：

WDT 计数开始，在设定的 WDT_CLK 周期后超时，然后再经过 129 个 WDT_CLK 周期的延时时间后，系统复位，此时检查 Wakeup Flag 值，发现可以成功保留。

测试现象：

先正确连接 Test Board 与逻辑分析仪，然后输入 ‘B’ 命令，可以看到 Log 打印 APB Clock 频率，超时计数 Timeout Count，以及复位延时计数 Delay Count。短暂时间后，打印 WDT INT

的 Log，经过 Delay Count 后，触发系统 Reset。

```
[09:55:31.467]发→◇B□
[09:55:31.473]收←◆
WDT Reset Delay Count = 129
Start WDT Counting (APB1_CLK = 48000000Hz, TimeoutCnt = 4096)...
[09:55:31.650]收←◆WDT INT
```

再看 LA 的 P20 波形，发现开始的时候波形被短暂拉低后拉高，174.8ms 后出现短脉冲，后续又保持 5.51ms 的高电平，之后又有一个拉低的短脉冲，最后一直维持高电平。



测试分析：

测试程序配置为 4096 个 WDT_CLK 后，触发 WDT 中断；接着经过 129 个 CLK 的 Delay 时间后，触发系统 Reset。

从 Log 与 LA 波形可知，WDT 中断可以在开启 WDT 后 174ms 成功触发，与理论时间（可由 3.4.2.5 小节的测试得知）基本一致；又经过了 5.51ms 的延时（与理论时间 $\frac{129}{WDT_CLK} = \frac{129}{23437} S = 5.5ms$ 基本一致）后触发系统 Reset。

3.4.5.3 延时 17 个 WDT_CLK 周期后复位

测试目的：

使能复位功能，验证设定的计数超时与 17 个 WDT_CLK 周期的延时时间后是否准确及时产生复位信号并复位系统，系统复位后检查 Wakeup Flag 是否保留。

测试预期：

WDT 计数开始，在设定的 WDT_CLK 周期后超时，然后再经过 17 个 WDT_CLK 周期的延时时间后，系统复位，此时检查 Wakeup Flag 值，发现可以成功保留。

测试现象：

先正确连接 Test Board 与逻辑分析仪，然后输入 ‘C’ 命令，可以看到 Log 打印 APB Clock 频率，超时计数 Timeout Count，以及复位延时计数 Delay Count。短暂时间后，打印 WDT INT 的 Log，经过 Delay Count 后，触发系统 Reset。

```
[10:00:27.069]发→◇□
[10:00:27.074]收←◆
WDT Reset Delay Count = 17
Start WDT Counting (APB1_CLK = 48000000Hz, TimeoutCnt = 4096)...
[10:00:27.251]收←◆WDT INT
```

再看 LA 的 P20 波形，发现开始的时候波形被短暂拉低后拉高，174ms 后出现短脉冲，后续又保持 727us 的高电平，之后又有一个拉低的短脉冲，最后一直维持高电平。



测试分析:

测试程序配置为 4096 个 WDT_CLK 后，触发 WDT 中断；接着经过 17 个 CLK 的 Delay 时间后，触发系统 Reset。

从 Log 与 LA 波形可知，WDT 中断可以在开启 WDT 后 174ms 成功触发，与理论时间（可由 3.4.2.5 小节的测试得知）基本一致；又经过了 727us 的延时（与理论时间 $\frac{17}{WDT_CLK} = \frac{17}{23437} S = 725us$ 基本一致）后触发系统 Reset。

3.4.5.4 延时 2 个 WDT_CLK 周期后复位

测试目的:

使能复位功能，验证设定的计数超时与 2 个 WDT_CLK 周期的延时时间后是否准确及时产生复位信号并复位系统，系统复位后检查 Wakeup Flag 是否保留。

测试预期:

WDT 计数开始，在设定的 WDT_CLK 周期后超时，然后再经过 2 个 WDT_CLK 周期的延时时间后，系统复位，此时检查 Wakeup Flag 值，发现可以成功保留。

测试现象:

先正确连接 Test Board 与逻辑分析仪，然后输入 ‘D’ 命令，可以看到 Log 打印 APB Clock 频率，超时计数 Timeout Count，以及复位延时计数 Delay Count。短暂时间后，打印 WDT INT 的 Log，经过 Delay Count 后，触发系统 Reset。

```
[10:07:36.720]发→◇□
[10:07:36.725]收←◆
WDT Reset Delay Count = 2
Start WDT Counting (APB1_CLK = 48000000Hz, TimeoutCnt = 4096)...
[10:07:36.901]收←◆W
```

再看 LA 的 P20 波形，发现开始的时候波形被短暂拉低后拉高，174ms 后出现短脉冲，后续又保持 96.3us 的高电平，之后又有一个拉低的短脉冲，最后一直维持高电平。



测试分析:

测试程序配置为 4096 个 WDT_CLK 后，触发 WDT 中断；接着经过 2 个 CLK 的 Delay 时间后，触发系统 Reset。

从 Log 与 LA 波形可知，WDT 中断可以在开启 WDT 后 174ms 成功触发，与理论时间（可由 3.4.2.5 小节的测试得知）基本一致；又经过了 96.3us 的延时（与理论时间 $\frac{2}{WDT_CLK} = \frac{2}{23437} S = 85us$ 有一些误差但比较接近）后触发系统 Reset。

3.4.5.5 使能复位功能，并在超时时间到达之前喂狗

测试目的:

使能复位功能，验证如果在计数超时时间内喂狗，是否能避免复位系统。

测试预期:

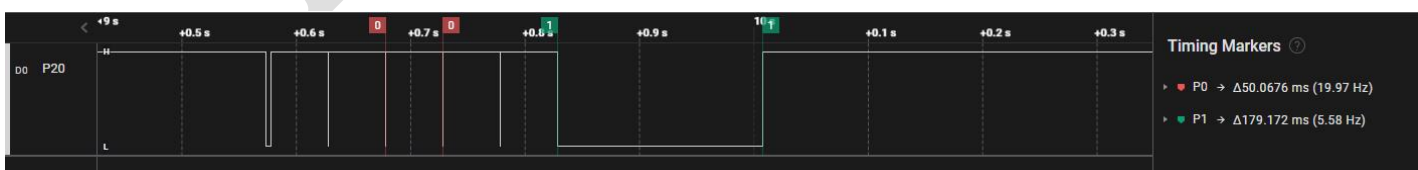
WDT 计数开始，在设定的超时时间内，不断复位超时计数器（即喂狗），计数器将重新计数，Reset 被推迟，一旦停止喂狗，在设定的超时时间和延时时间后，系统复位。

测试现象:

先正确连接 Test Board 与逻辑分析仪，然后输入 ‘E’ 命令，可以看到 Log 打印 APB Clock 频率和超时计数 Timeout Count。接着连续打印 5 条 Feed WDT 的 Log，触发系统 Reset。

```
e
Start WDT Counting (APB1_CLK = 32000000Hz, TimeoutCnt = 4096)...
Feed WDT
Feed WDT
Feed WDT
Feed WDT
Feed WDT
Feed WDT
```

再看 LA 的 P20 波形，发现开始的时候波形拉低，短暂时间后被拉高，然后 50ms 后出现向下的短脉冲，重复 5 次，第 5 次电平被拉低，复位后拉高。



测试分析:

此处 WDT 复位时间配置与 3.4.5.4 小节完全一致，因此正常情况下复位时间应为 174ms。

看 LA 波形，第一个下降沿表示程序进入 Feed WDT 流程，随后的第一个上升沿表示 WDT 计数开始。后面每隔 50ms 出现一个向下的短脉冲，表示喂狗操作，于是 5 次下降沿表示喂了 5 次狗，共耗时 250ms。

在最后一次（第 5 次）喂狗后，程序停止喂狗，等待超时复位。而从波形图也可看出，最后一段低电平后拉高，系统复位。

3.4.6 唤醒信号

在主菜单下，输入 ‘5’ 命令 进入 Subcase 菜单：

```

+-----+
| Press key to test specific function:                |
| Input 'A'      Enable Wakeup.                      |
| Press ESC key to back to the top level case list.  |
+-----+
    
```

测试目的：

验证 WDT Wakeup Signal 能否准确及时产生。

测试预期：

WDT 计数开始，在设定的超时时间后触发 Wakeup Signal。

测试现象：

先正确连接 Test Board 与逻辑分析仪，然后输入 ‘A’ 命令，可以看到 Log 打印 APB Clock 频率为 48MHz，稍后打印出 WAKEUP 的标志。

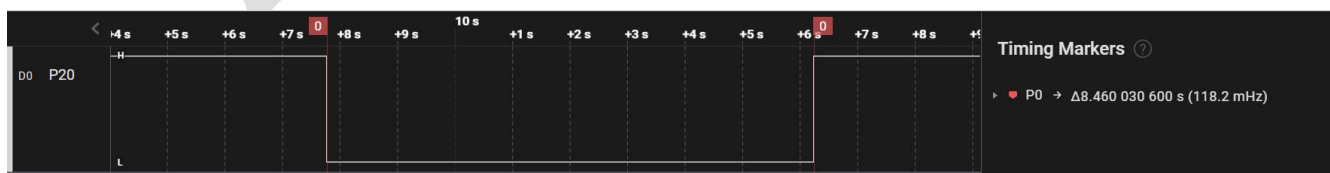
```

[10:49:51.348]发->◇A□
[10:49:51.353]收<-◆
Start WDT Counting (APB1_CLK = 48000000Hz)...
[10:49:59.807]收<-◆WDT INT
Deepsleep
WAKEUP
    
```

```

+-----+
| Press key to test specific function:                |
| Input 'A'      Enable Wakeup.                      |
| Press ESC key to back to the top level case list.  |
+-----+
    
```

再看 LA 的 P20 波形，发现波形被拉低，8.46s 后被拉高。



测试分析：

测试程序中，进入低功耗状态后使用 RCL Clock，WDT Clock Count 为 262144，由 3.4.3.3 小节可知，Timeout 时间为 8.19s。

再看波形图，波形的下降沿表示 WDT 计数开始的时刻，后拉高，拉低时间与预期一致，符合预期。

第4章 使用注意事项

- 1、使用 Clock Selection API 之前注意先解锁寄存器
- 2、TIF 既可以写 1 清掉，也可以在置 INTEN 的时候硬件自动清 TIF
- 3、RSTF 既可以写 1 清掉，也可以在 RSTCNT 的时候硬件自动清 RSIF
- 4、WKF 被置上后，需要解锁寄存器后才能清掉
- 5、Wakeup 被触发后，WDT 会停止计数
- 6、操作完 Write Protected 寄存器后不可立刻使用 SYS_LockReg，否则可能使得操作 Write Protected 寄存器失败，解决方法有：
 - a) 写完寄存器立刻读回，发现写成功了，再 Lock
 - b) Lock 前延时一段时间 (>3nop)

第5章 测试结论

5.1 测试结论

Modular	Test Case		Test Result
WDT	寄存器默认值		PASS
	超时时间选择	16 个 WDT_CLK 周期	PASS
		64 个 WDT_CLK 周期	PASS
		256 个 WDT_CLK 周期	PASS
		1024 个 WDT_CLK 周期	PASS
		4096 个 WDT_CLK 周期	PASS
		16384 个 WDT_CLK 周期	PASS
		65536 个 WDT_CLK 周期	PASS
		262144 个 WDT_CLK 周期	PASS
	时钟源选择	16 个 WDT_CLK 周期, WDT_CLK 由 APB 切换至 RCL	PASS
		4096 个 WDT_CLK 周期, WDT_CLK 由 APB 切换至 RCL	PASS
		262144 个 WDT_CLK 周期, WDT_CLK 由 APB 切换至 RCL	PASS
	中断模式		PASS
	复位模式	延时 1025 个 WDT_CLK 周期后复位	PASS
		延时 129 个 WDT_CLK 周期后复位	PASS
延时 17 个 WDT_CLK 周期后复位		PASS	
延时 2 个 WDT_CLK 周期后复位		PASS	
使能复位功能, 并在超时时间到达之前喂狗		PASS	
唤醒信号		PASS	