

## **PAN1070 CLK 测试说明**

PAN-CLT-VER-A0, Rev 0.1

PANCHIP

PanchipMicroelectronics

[www.panchip.com](http://www.panchip.com)

## 修订历史

版本	修订日期	描述
V0.1	2023-10-22	初始版本创建

## 目录

第 1 章 测试目的 .....	4
第 2 章 测试内容 .....	5
2.1 测试内容 .....	5
2.2 环境准备 .....	5
2.2.1 软件环境 .....	5
2.2.1.1 待测代码 .....	5
2.2.1.2 软件工具 .....	5
2.2.2 硬件环境 .....	5
第 3 章 测试流程 .....	7
3.1 环境说明 .....	7
3.2 CLK 工作流程 .....	7
3.3 测试程序初始化 .....	7
3.4 基本功能验证 .....	7
3.4.1 CLK 所有寄存器状态 .....	7
3.4.2 系统时钟源选择为 32M RC .....	8
3.4.3 系统时钟源选择为 32M 晶体 .....	9
3.4.4 系统时钟源选择为 DPLL .....	9
3.4.5 32K 时钟源选择为 RC 32K .....	11
3.4.6 32K 时钟源选择为 32K 晶体 .....	11
3.4.7 时钟分频器测试 .....	12
第 4 章 注意事项 .....	14
第 5 章 测试结论 .....	14
5.1 测试结论 .....	14

## 第1章 测试目的

1. 通用 CLK 功能等测试。
2. 通过测试，对 CLK 库进行查漏补缺，并生成一个稳定版本的库文件。
3. 生成 CLK API 接口文档。
4. 给出对 CLK 模块的一个使用说明文档

## 第2章 测试内容

### 2.1 测试内容

- a) 相关寄存器
- b) 系统时钟源选择为 32M RC
- c) 系统时钟源选择为 32M 晶体
- d) 系统时钟源选择为 32M DPLL
- e) 低速时钟源选择为 32K RC
- f) 低速时钟源选择为 32K 晶体
- g) 系统时钟分配器测试

### 2.2 环境准备

#### 2.2.1 软件环境

##### 2.2.1.1 待测代码

测试工程文件:

<PAN1070-DK>\03\_MCU\mcu\_samples\CLK\keil\CLK.uvprojx

测试源文件目录:

<PAN1070-DK>\03\_MCU\mcu\_samples\CLK\src

##### 2.2.1.2 软件工具

- 1、SecureCRT（用于显示 PC 与 Test Board 的交互过程，打印 log 等）
- 2、逻辑分析仪

#### 2.2.2 硬件环境

1. PAN107COB
  - a) UART0（测试交互接口，TX: P16，RX: P12）
  - b) SWD（用来调试和烧录程序，SWDCLK: P00，SWDIO: P01）
2. Secure CRT（串口打印窗口）
3. 稳压电源（输入电压）
4. 逻辑分析仪

PAN1070COB		LA
RCH	P17	CH0
AHB	P06	CH1
XTH	P27	CH2
RCL/XTL	P11	CH3

## 第3章 测试流程

### 3.1 环境说明

- 1、 编译测试工程，烧录
- 2、 连接芯片串口和 swd 管脚如 2.2.2 硬件环境说明
- 3、 通过串口输入测试命令，命令说明见串口打印信息

### 3.2 CLK 工作流程

参考 User Manual 文档。

### 3.3 测试程序初始化

硬件连线完成并烧录测试程序后，Test Board 上电，观察 Debug Port 是否正常打印测试主菜单。

CPU @ 48000000Hz

```
PN107 CLK Sample Code.

Press key to start specific testcase:

Input '0'   Testcase 0: Clk source select RC32M
Input '1'   Testcase 1: Clk source select XTH32M.
Input '2'   Testcase 2: Clk source select DPLL.
Input '3'   Testcase 3: 32K Clk Source select RC.
Input '4'   Testcase 4: 32K Clk Source select XTL.
Input '5'   Testcase 5: Clk divider test.
Input '6'   Testcase 6: Clk register default value check.
```

### 3.4 基本功能验证

#### 3.4.1 CLK 所有寄存器状态

输入 '6' 命令：

查看所有 CLK 相关寄存器状态。

测试预期：

寄存器默认值与文档一致。

测试现象：

```
[13:52:54.498]发→◇6□
[13:52:54.505]收←◆
Clk register addr offset:0, expect:00000040, current:00000002
Clk register addr offset:14, expect:00000000, current:00000200
Clk register addr offset:18, expect:00000000, current:01048081
Clk register addr offset:1c, expect:00000000, current:01035021
Clk register addr offset:20, expect:00000000, current:00031020
Clk register addr offset:24, expect:01048081, current:01000027
Clk register addr offset:28, expect:01035021, current:01001489
Clk register addr offset:2c, expect:00031020, current:00006cff
Clk register addr offset:30, expect:00000020, current:00003ffb
Clk register addr offset:34, expect:00001480, current:0000003a
Clk register addr offset:38, expect:00010c26, current:00f40000
Clk register addr offset:44, expect:00f40000, current:00000000
```

### 测试分析:

寄存器部分默认值对比 User Manual 文档不一致，原因是系统初始化部分有操作时钟，包括系统时钟源，外设时钟开启等等。

### 3.4.2 系统时钟源选择为 32M RC

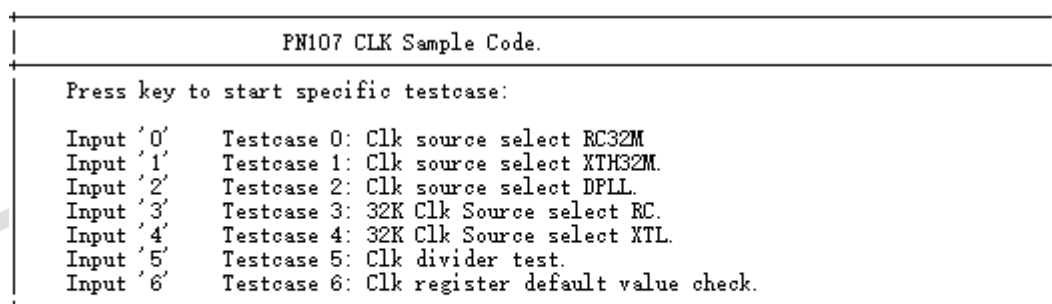
#### 输入 ‘0’ 命令:

测试系统时钟源选择为 32M RC 情况下时钟频率及工作状态。

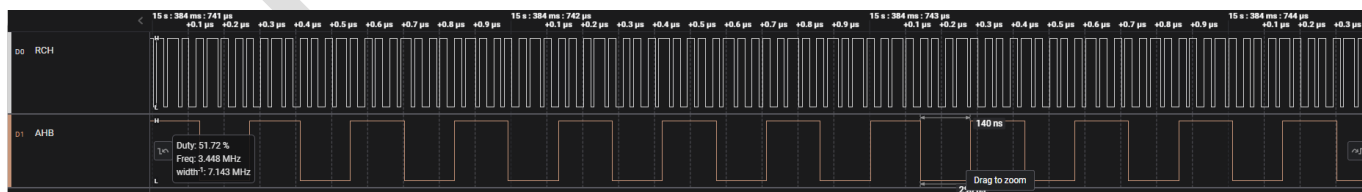
#### 测试预期:

P13 输出 32K 左右的时钟频率，系统工作正常。

#### 测试现象:



```
[14:05:03.057]发→◇0□
[14:05:03.067]收←◆
System clk select rch,P17 pin output frequency rch32M
```



### 测试分析:

RC 是没有经过校准的，RCH 时钟输出为 32M 左右。AHB 时钟经过 8 分频为 4M 左右。



### 3.4.3 系统时钟源选择为 32M 晶体

输入 ‘1’ 命令：

测试系统时钟源选择为 32M 晶体情况下时钟频率及工作状态。

测试预期：

系统时钟 16 分频，从 P06 输出 2M 精准的时钟频率，系统工作正常。

测试现象：

```

PM107 CLK Sample Code.
-----
Press key to start specific test case:
Input '0' Testcase 0: Clk source select RC32M
Input '1' Testcase 1: Clk source select XTH32M
Input '2' Testcase 2: Clk source select DPLL
Input '3' Testcase 3: 32K Clk Source select RC
Input '4' Testcase 4: 32K Clk Source select XTL
Input '5' Testcase 5: Clk divider test
Input '6' Testcase 6: Clk register default value check.
    
```

```

[14:06:07.824]发->◇1□
[14:06:07.835]收<-◆
System clk select xth,P06 pin output frequency xth32M/16
    
```



测试分析：

时钟输出为 2M，系统继续工作正常，符合预期。

### 3.4.4 系统时钟源选择为 DPLL

输入 ‘2’ 命令：

测试系统时钟源选择为 DPLL 48M/64M 情况下时钟频率及工作状态。

测试预期：

DPLL 时钟经过 8 分频后从 P06 输出，系统工作正常。

DPLL 时钟经过 8 分频后从 P23 输出，系统工作正常。

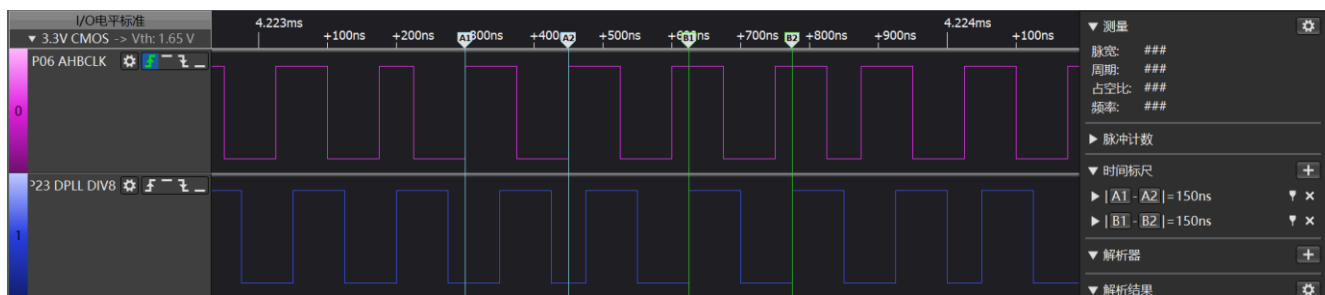
测试现象：

打印信息：

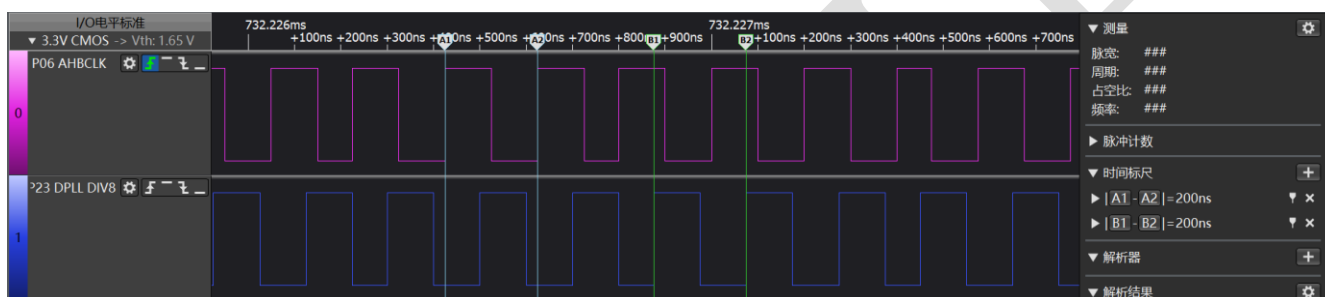
```

[14:16:40.680]发->◇2□
[14:16:40.685]收<-◆
Dpll src select rch, output 64M, P06 output 64M/8
Dpll src select rch, output 48M, P06 output 48M/8
Dpll src select xth, output 64M, P06 output 64M/8
Dpll src select xth, output 48M, P06 output 48M/8
    
```

Dpll 从 rch 倍频至 64M:



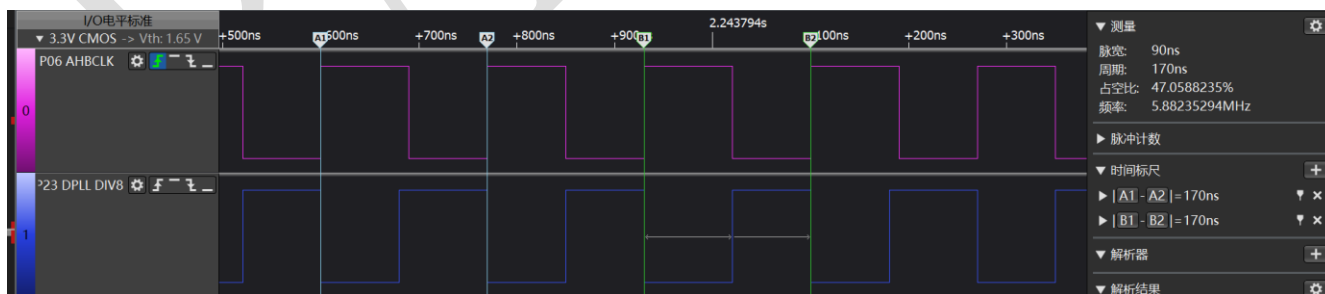
Dpll 从 rch 倍频至 48M:



Dpll 从 xth 倍频至 64M:



Dpll 从 xth 倍频至 48M:



**测试分析:**

Dpll 从 rch 倍频至 64M，预期输出 6M，波形 1 个周期输出 0.15us，输出 6.66M，符合预期。（RCH 不准，且逻辑分析仪有误差）

Dpll 从 rch 倍频至 48M，预期输出 8M，波形 1 个周期输出 0.20us，输出 5.2M，符合预

期。（RCH 不准，且逻辑分析仪有误差）

Dpll 从 xth 倍频至 64M，预期输出 6M，波形 1 个周期输出 0.13us，输出 8.33M，符合预期。（逻辑分析仪有误差）

Dpll 从 xth 倍频至 48M，预期输出 8M，波形 1 个周期输出 0.17us，输出 5.8M，符合预期。（逻辑分析仪有误差）

### 3.4.5 32K 时钟源选择为 RC 32K

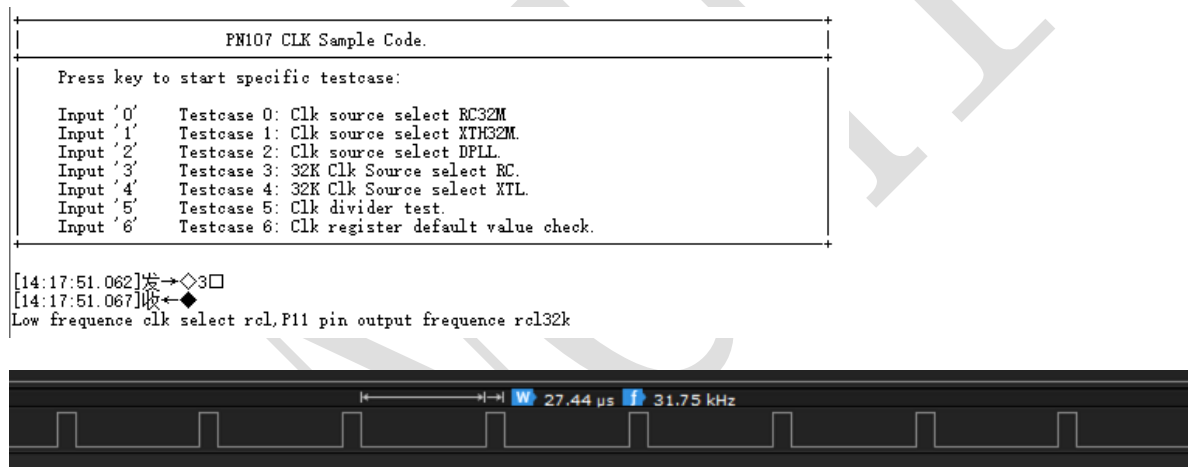
输入 ‘3’ 命令：

测试低速时钟源选择为 RC 32K 情况下时钟输出及工作状态。

测试预期：

32K 时钟直接从 P11 输出，系统工作正常。

测试现象：



测试分析：

32K 时钟预期输出 32K 频率，波形输出 31.75K，符合预期。（RCL 不准，未校准）

### 3.4.6 32K 时钟源选择为 32K 晶体

输入 ‘4’ 命令：

测试低速时钟源选择为 32K 晶体情况下时钟输出及工作状态。

测试预期：

32K 时钟直接从 P11 输出，系统工作正常。

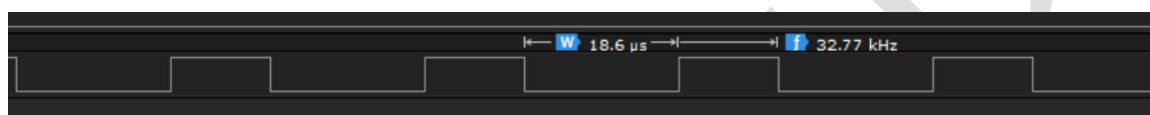
测试现象：

```

PN107 CLK Sample Code.
Press key to start specific testcase:
Input '0' Testcase 0: Clk source select RC32M |
Input '1' Testcase 1: Clk source select XTH32M.
Input '2' Testcase 2: Clk source select DPLL.
Input '3' Testcase 3: 32K Clk Source select RC.
Input '4' Testcase 4: 32K Clk Source select XTL.
Input '5' Testcase 5: Clk divider test.
Input '6' Testcase 6: Clk register default value check.
    
```

```

[14:22:21.722]发->◇4□
[14:22:21.727]收←◆
Low frequency clk select xtl,P11 pin output frequency xtl 32k
    
```



### 测试分析:

32K 时钟预期输出频率 32768，波形输出 32.77K，符合预期。

### 3.4.7 时钟分频器测试

#### 输入 ‘5’ 命令:

测试时钟分频及时钟输出、工作状态。

#### 测试预期:

P06 输出时钟频率

32M XTH 时钟 4 分频，输出 8M 时钟，系统工作正常。

32M XTH 时钟 8 分频，输出 4M 时钟，系统工作正常。

32M XTH 时钟 16 分频，输出 2M 时钟，系统工作正常。

64M DPLL 时钟 4 分频，输出 16M 时钟，系统工作正常。

64M DPLL 时钟 8 分频，输出 8M 时钟，系统工作正常。

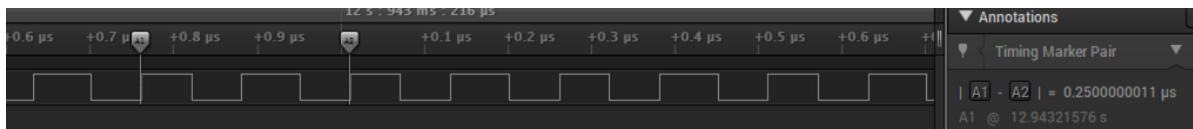
64M DPLL 时钟 16 分频，输出 4M 时钟，系统工作正常。

#### 测试现象:

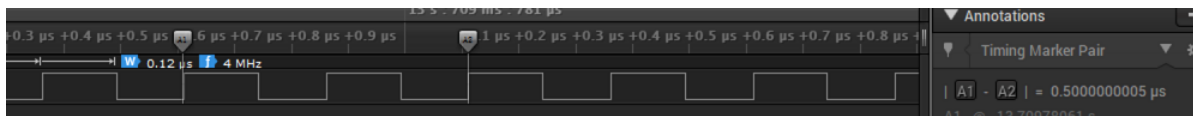
```

[14:23:09.109]发->◇5□
[14:23:09.115]收←◆
clk src select xth, output 32M,P06 pin output frequency xth64M/4
clk src select xth, output 32M,P06 pin output frequency xth64M/8
clk src select xth, output 32M,P06 pin output frequency xth64M/16
clk src select dp11, output 48M,P06 pin output frequency 48M/4
clk src select dp11, output 48M,P06 pin output frequency 48M/8
clk src select dp11, output 48M,P06 pin output frequency 48M/16
    
```

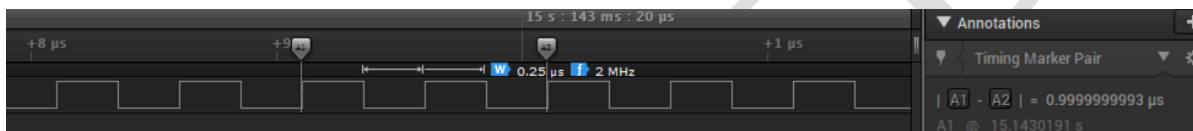
32M XTH 时钟 4 分频;



32M XTH 时钟 8 分频:



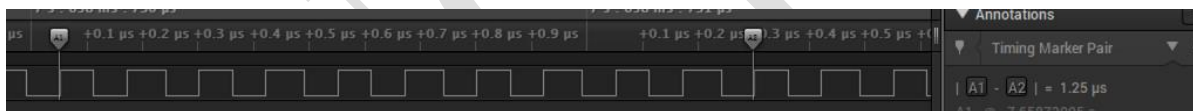
32M XTH 时钟 16 分频:



64M DPLL 时钟 4 分频:



64M DPLL 时钟 8 分频:



64M DPLL 时钟 16 分频:



### 测试分析:

32M XTH 时钟 4 分频, 波形两个周期输出 0.25us, 输出 8M, 符合预期。

32M XTH 时钟 8 分频, 波形两个周期输出 0.50us, 输出 4M, 符合预期。

32M XTH 时钟 16 分频, 波形两个周期输出 1us, 输出 2M, 符合预期。

64M DPLL 时钟 4 分频, 波形十个周期输出 0.62us, 输出 16.12M, 符合预期 (逻辑分析仪误差, 高频采集误差)。

64M DPLL 时钟 8 分频, 波形十个周期输出 1.25us, 输出 8M, 符合预期。

64M DPLL 时钟 16 分频, 波形十个周期输出 2.5us, 输出 4M, 符合预期。

## 第4章 注意事项

## 第5章 测试结论

### 5.1 测试结论

Modular	Test mode	Test Result
CLK	CLK_RchTest	OK
	CLK_XthTest	OK
	CLK_DpllTest	OK
	CLK_RclTest	OK
	CLK_XtlTest	OK
	CLK_DividerTest	OK
	CLK_Register	OK