

# **PAN1080 WDT Sample Application Note**

PAN-CLT-VER-B0, Rev 0.1

# PanchipMicroelectronics

www.panchip.com



# PAN1080 WDT Sample

修订历史

版本	修订日期	描述	
V0.1	2022-10-12	初始版本创建	
VU.1			



目录

第1章 例程演示内容	4
1.1 测试内容	4
1.2 环境准备	4
1.2.1 软件环境	4
1.2.1.1 待测代码	4
1.2.1.2 软件工具	4
1.2.2 硬件环境	5
第2章 例程演示流程	6
2.1 环境配置	6
2.1.1 测试程序编译烧录	6
2.1.2 硬件接线	6
2.2 WDT 工作流程	6
2.3 测试程序初始化	6
2.4 演示步骤	6
2.4.1 WDT 所有寄存器默认状态	6
2.4.2 超时时间选择	7
2.4.2.1 16 个 WDT_CLK 周期	7
2.4.2.2 64 个 WDT_CLK 周期	9
2.4.2.3 256 个 WDT_CLK 周期	10
2.4.2.4 1024 个 WDT_CLK 周期	.11
2.4.2.5 4096 个 WDT_CLK 周期	.13
2.4.2.6 16384 个 WDT_CLK 周期	.14
2.4.2.7 65536 个 WDT_CLK 周期	.15
2.4.2.8 262144 个 WDT_CLK 周期	.16
2.4.3 时钟源选择	18
2.4.3.1 16个 WDT_CLK 周期, WDT_CLK 为 RCL	18
2.4.3.2 4096 个 WDT_CLK 周期, WDT_CLK 为 RCL	.19
2.4.3.3 262144 个 WDT_CLK 周期, WDT_CLK 为 RCL	.20
2.4.4 中断模式	.21
2.4.5 复位模式	.23
2.4.5.1 延时 1025 个 WDT_CLK 周期后复位	.23
2.4.5.2 延时 129 个 WDT_CLK 周期后复位	.24
2.4.5.3 延时 17个 WDT_CLK 周期后复位	.24
2.4.5.4 延时 2 个 WDT_CLK 周期后复位	.25
2.4.5.5 使能复位功能,并在超时时间到达之前喂狗	.26
2.4.6 唤醒信号	.27
第3章 使用注意事项	.29



# 第1章 例程演示内容

# 1.1 测试内容

- 1. 寄存器默认值
- 2. 超时时间选择
- (Timeout Interval Period Selection)

(Register default value)

- a) 16个WDT\_CLK 周期
- b) 64个WDT\_CLK 周期
- c) 256个WDT\_CLK 周期
- d) 1024 个 WDT\_CLK 周期
- e) 4096 个 WDT CLK 周期
- f) 16384 个 WDT CLK 周期
- g) 65536 个 WDT CLK 周期
- h) 262144 个 WDT CLK 周期
- 3. 时钟源选择

- 源选择 (Clock Source Selection)
- a) 16个WDT\_CLK周期,WDT\_CLK由APB切换至RCL
- b) 4096 个 WDT\_CLK 周期, WDT\_CLK 由 APB 切换至 RCL
- c) 262144 个 WDT\_CLK 周期, WDT\_CLK 由 APB 切换至 RCL
- 4. 中断模式
- 5. 复位模式

- (Interrupt Mode) (Reset Mode)
- a) 使能复位功能, 延时 1025 个 WDT CLK 周期后复位
- b) 使能复位功能, 延时 129 个 WDT CLK 周期后复位
- c) 使能复位功能, 延时 17 个 WDT CLK 周期后复位
- d) 使能复位功能, 延时 2 个 WDT CLK 周期后复位
- e) 使能复位功能,并在超时时间到达之前喂狗
- 6. 唤醒信号

(Wakeup Signal)

# 1.2 环境准备

1.2.1 软件环境

## 1.2.1.1 待测代码

测试工程文件:

<PAN1080-DK>\03\_MCU\mcu\_samples\WDT\keil\WDT.uvprojx

测试源文件目录:

<PAN1080-DK>\03\_MCU\mcu\_samples\WDT \src

1.2.1.2 软件工具

- 1、SecureCRT(用于显示 PC 与 EVB 的交互过程,打印 log 等)
- 2、KingstVIS(逻辑分析仪LA1010配套软件)



# 1.2.2 硬件环境

- 1、PAN1080 EVB 1 块
  - a) UART0(测试交互接口, TX: P00, RX: P01, 波特率: 921600)
  - **b)** WDT (待测模块)
  - c) GPIO (P30, 使用 LA 观察引脚变化,可以知道某些事件到来的时间点,如中断 发生,超时发生等)
  - d) SWD (用来调试和烧录程序, SWDCLK: P46, SWDIO: P47)
- 2、逻辑分析仪(波形抓取工具)
- 3、JLink(SWD调试与烧录工具)



PAN1080 WDT Sample

# 第2章 例程演示流程

# 2.1 环境配置

### 2.1.1 测试程序编译烧录

打开测试工程,确保可以编译通过。

### 2.1.2 硬件接线

接线方面,需要:

1.将 EVB 板的 RX0 和 TX0 进行跳线, 然后连接 USB->UART 到 PC。

2.WDT 本身没有外部输出或输入,不过为准确获知一些事件到来的时间(如中断发生、超时发生等),程序中使用 GPIO P30 的电平变化来指示,因此需将 P30 接入逻辑分析仪。

# 2.2 WDT 工作流程

参考 User Manual 文档。

## 2.3 测试程序初始化

硬件连线完成并烧录测试程序后, EVB 上电, 观察串口是否正常打印例程主菜单。

CPU @ 64000000Hz PN108D WDT Sample Code Press key to start specific testcase: Testcase 0: Register Default Value Check. Testcase 1: Timeout Interval Period Selection. 0' Input Input 1 2' Input Testcase 2: clock source selection. **3**' Input Testcase 3: Interrupt Mode. '4' Testcase 4: Reset Mode. Input Testcase 5: Wakeup Signal. Input

# 2.4 演示步骤

2.4.1 WDT 所有寄存器默认状态

在主菜单下,输入'0'命令打印所有寄存器默认值:

测试目的:

检查所有 WDT 相关寄存器复位 Default 值状态。

### 测试预期:

寄存器默认值应和 Datasheet 上 WDT 模块默认值一致。

#### 测试现象:



PAN1080 WDT Sample

0 WDT Register Default Values: CTL = 0x00000700 ALTCTL = 0x00000000 WDT Flags: TOF=0, IF=0, RSTF=0, WKF=0 WDT Test OK, Success case: 0

测试分析:

参考芯片手册对比寄存器信息,发现是完全一致的,符合预期。

2.4.2 超时时间选择

在主菜单下,输入'1'命令 进入 Subcase 菜单:

Press key to	test specific function:	İ
Input 'A' Input 'B' Input 'C' Input 'D' Input 'E' Input 'F' Input 'G' Input 'H' Press ESC key	4th power of 2 (16) times of WDT_CLK Period. 6th power of 2 (64) times of WDT_CLK Period. 8th power of 2 (256) times of WDT_CLK Period. 10th power of 2 (1024) times of WDT_CLK Period. 12th power of 2 (4096) times of WDT_CLK Period. 14th power of 2 (16384) times of WDT_CLK Period. 16th power of 2 (65536) times of WDT_CLK Period. 18th power of 2 (262144) times of WDT_CLK Period.	

### 2.4.2.1 16 个 WDT\_CLK 周期

测试目的:

将 Timeout 时间设置为 16 个 WDT\_CLK 周期,验证超时事件是否及时产生。

测试预期:

WDT 计数开始,在16个WDT CLK 周期后超时。

测试现象:

先正确连接 Test Board 与逻辑分析仪,然后输入'A'命令,可以看到 Log 打印 APB Clock 频率,以及检测到 TIMEOUT 的标志。



# PAN1080 WDT Sample

Start TIMEO TIMEO TIMEO TIMEO TIMEO		Counti	ng (APB	<b>1_</b> СLК	= 32	2000000Hz)					
+   	Press Input Input Input Input Input Input Input Press	key t 'A' 'C' 'D' 'F' 'G' 'H' ESC k	o test 4th 6th 8th 10th 12th 14th 16th 18th cey to b	specif power power power power power power power ack to	of of of of of of of of of of of of of o	unction: 2 (16) 2 (64) 2 (256) 2 (1024) 2 (4096) 2 (16384) 2 (65536) 2 (262144) 2 top leve	times times times times times times times times l case	of of of of of of lis	WDT_CLK WDT_CLK WDT_CLK WDT_CLK WDT_CLK WDT_CLK WDT_CLK WDT_CLK	Period. Period. Period. Period. Period. Period. Period. Period.	

再看 LA 的 P30 波形,发现开始的时候波形拉低,接着在 1052us 的时候出现第一个上升脉冲,后面则每隔 1273us 左右出现一个上升脉冲,在第 5 个上升沿之后,波形一直保持高电平。

ł	I/O电平标准 ▼ 3 2V CMOS -> Vtb: 1.65 V	+9ms	0 I +1ms	+2ms	+3ms	+4ms +	5ms	▼ 测量	
0	P30 🗱 💶 🕹 _		· · · · · · · · · · · · · · · · · · ·					脉宽: 周期: 占空比: 频率:	1.0524ms 1.0603ms 0.745072149% 943.129303Hz
								- B30m24	

测试分析:

从Log 可知, APB Clock 为 32MHz, 由此可知 WDT Clock:

WDT\_CLK =  $\frac{\text{APB1}_{\text{CLK}}}{2048} = \frac{32MHz}{2048} = 15625Hz$ 

超时时间:

Timeout = 
$$\frac{16}{WDT\_CLK} = \frac{16}{15625}s = 1024us$$

另外 Log 显示 Timeout Event 共出现了 5 次,而由 LA 波形也可看出共有 5 次上升沿,与 Log 一致。波形测量出的 Timeout 时间共有两种:

第1个为1052us,与计算的1024us稍有一些误差,误差率:

 $\text{Error}_{\text{Ratio}} = \frac{Timeout_{calc} - Timeout_{exp}}{Timeout_{exp}} = \frac{1073 - 1024}{728} = 6.7\%$ 

后面 4 个均为 1273us,与前面计算的 1052us 差别较大。原因是后四个 Timeout 时间,程序 会比第一个多两个操作 WDT\_ClearTimeoutFlag()和 WDT\_ResetCounter(),而这两个操作将会使 得 WDT 多花 4 个 CLK 的时间,因此修正的公式应该为:



# PAN1080 WDT Sample

Timeout 
$$=$$
  $\frac{16+4}{WDT\_CLK} = \frac{20}{15625}s = 1280us$ 

可见已经与测量的 1273us 基本一致了(误差 1.6%)。

### 2.4.2.2 64 个 WDT\_CLK 周期

### 测试目的:

将 Timeout 时间设置为 64 个 WDT\_CLK 周期,验证超时事件是否及时产生。

#### 测试预期:

WDT 计数开始,在 64 个 WDT\_CLK 周期后超时。

## 测试现象:

先正确连接 Test Board 与逻辑分析仪, 然后输入 'B' 命令, 可以看到 Log 打印 APB Clock 频率, 以及检测到 TIMEOUT 的标志。

b Start WDT Co TIMEOUT TIMEOUT TIMEOUT TIMEOUT TIMEOUT	ounting (APE	31_CLK = 320	000000нz)		
Press   Input Input Input Input Input Input Input Press P	key to test 'A' 4th 'B' 6th 'C' 8th 'D' 10th 'E' 12th 'F' 14th 'G' 16th 'H' 18th ESC key to b	specific fu power of 2 power of 2	(16) time: (64) time: (256) time: (1024) time: (4096) time: (16384) time: (65536) time: (262144) time: top level case	s of WDT_CLK s of WDT_CLK e list.	Period. Period. Period. Period. Period. Period. Period.

再看 LA 的 P30 波形,发现开始的时候波形拉低,接着在 4.154ms 的时候出现第一个上升脉冲,后面则每隔 4.333ms 左右出现一个上升脉冲,在第 5 个上升沿之后,波形一直保持高电平。



测试分析:

从Log 可知, APB Clock 为 32MHz, 由此可知 WDT Clock:



# PAN1080 WDT Sample

$$WDT_CLK = \frac{APB1_CLK}{2048} = \frac{32MHz}{2048} = 15625Hz$$

超时时间:

Timeout 
$$=$$
  $\frac{64}{WDT\_CLK} = \frac{64}{15625}s = 4.096$ ms

另外 Log 显示 Timeout Event 共出现了 5 次,而由 LA 波形也可看出共有 5 次上升沿,与 Log 一致。波形测量出的 Timeout 时间共有两种:

第1个为4.134ms,与计算的4.096ms稍有误差,误差率:

 $\text{Error_Ratio} = \frac{Timeout_{calc} - Timeout_{exp}}{Timeout_{exp}} = \frac{4.134 - 4.096}{4.096} = 0.9\%$ 

后面 4 个均为 4.347ms,与前面计算的 4.096ms 差别较大。原因是后四个 Timeout 时间,程序会比第一个多两个操作 WDT\_ClearTimeoutFlag()和 WDT\_ResetCounter(),而这两个操作将会使得 WDT 多花 4 个 CLK 的时间,因此修正的公式应该为:

$$\text{Fimeout} = \frac{64+4}{WDT\_CLK} = \frac{68}{15625}s = 4.352\text{ms}$$

可见已经与测量的 4.347ms 基本一致了(误差 0.1%)

### 2.4.2.3 256 个 WDT\_CLK 周期

测试目的:

将 Timeout 时间设置为 256 个 WDT CLK 周期,验证超时事件是否及时产生。

#### 测试预期:

WDT 计数开始,在 256 个 WDT\_CLK 周期后超时。

#### 测试现象:

先正确连接 Test Board 与逻辑分析仪,然后输入 'C' 命令,可以看到 Log 打印 APB Clock 频率,以及检测到 TIMEOUT 的标志。



# PAN1080 WDT Sample

TART TMEOU TMEOU TMEOU TMEOU TMEOU	WDT C IT IT IT IT IT	ount	ing	(APE	31_СLК	= 3	320	ЮООООНZ).					
P I I I I I I I I P	ress nput nput nput nput nput nput nput ress	key 'A' 'D' 'E' 'G' ESC	to	test 4th 6th 8th 10th 12th 14th 16th 18th to k	specif power power power power power power power power power	fic of of of of of of of	fu 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2	(16) (64) (256) (1024) (4096) (16384) (65536) (262144) top level	times times times times times times times times case	of of of of of of lis	WDT_CLK WDT_CLK WDT_CLK WDT_CLK WDT_CLK WDT_CLK WDT_CLK WDT_CLK st.	Period. Period. Period. Period. Period. Period. Period.	

再看 LA 的 P30 波形,发现开始的时候波形拉低,后面每隔 16.64ms 左右出现一个上升脉冲, 在第 5 个上升沿之后,波形一直保持高电平。

ł	I/O电平标准 ▼ 3.3V CMOS -> Vth: 1.65 V	+80ms	+90ms	0 	+10ms	+20ms	+30ms	+40ms	+50ms	+60ms	+70ms	▼ 测量	
0	P30 🗱 💶 🕹 🔔				`							脉宽: 周期: 占空比: 频率:	16.6444ms 16.6523ms 0.0474408941% 60.0517646Hz
												- 830-624	LWA

测试分析:

从 Log 可知, APB Clock 为 32MHz, 由此可知 WDT Clock:

WDT\_CLK =  $\frac{\text{APB1}_{\text{CLK}}}{2048} = \frac{32MHz}{2048} = 15625Hz$ 

超时时间:

Timeout = 
$$\frac{256}{WDT\_CLK} = \frac{256}{15625}s = 16.38$$
ms

另外 Log 显示 Timeout Event 共出现了 5 次,而由 LA 波形也可看出共有 5 次上升沿,与 Log 一致。波形测量出的 Timeout 时间为 16.64ms,与计算的 16.38ms 稍有误差,误差率:

 $\text{Error}_{\text{Ratio}} = \frac{Timeout_{calc} - Timeout_{exp}}{Timeout_{exp}} = \frac{16.64 - 16.38}{16.38} = 1.59\%$ 

注意:此处因为没有用修正的公式来计算 Timeout,因此计算的误差会比实际稍大,具体见 2.4.2.1 小节的分析。

## 2.4.2.4 1024 个 WDT\_CLK 周期

测试目的:



将 Timeout 时间设置为 1024 个 WDT\_CLK 周期,验证超时事件是否及时产生。

测试预期:

WDT 计数开始,在 1024 个 WDT\_CLK 周期后超时。

测试现象:

先正确连接 Test Board 与逻辑分析仪,然后输入 'D' 命令,可以看到 Log 打印 APB Clock 频率,以及检测到 TIMEOUT 的标志。

```
d
Start WDT Counting (APB1_CLK = 32000000Hz)...
TIMEOUT
TIMEOUT
TIMEOUT
TIMEOUT
TIMEOUT
+------
```

Press key to	o test specific function:	
Input 'A' Input 'B' Input 'C' Input 'D' Input 'E'	4thpower of 2 (16)times of WDT_CLK Period.6thpower of 2 (64)times of WDT_CLK Period.8thpower of 2 (256)times of WDT_CLK Period.10thpower of 2 (1024)times of WDT_CLK Period.12thpower of 2 (4096)times of WDT_CLK Period.	
Input 'F' Input 'G' Input 'H' Press ESC ke	14th power of 2 (16384) times of WDT_CLK Period. 16th power of 2 (65536) times of WDT_CLK Period. 18th power of 2 (262144) times of WDT_CLK Period. ey to back to the top level case list.	

再看 LA 的 P30 波形,发现开始的时候波形拉低,后面每隔 65.83ms 左右出现一个上升脉冲, 在第 5 个上升沿之后,波形一直保持高电平。

	I/O电平标准 ▼ 3 3V CMOS -> Vtb: 1.65 V	0	+100ms	+200ms	▼ 测量
c	P30 <b>* - 1</b>				脉宽: 65.8327ms  周期: 65.8406ms  占空比: 0.0119986756%  频率: 15.1881969Hz
					- 133-531 #6

测试分析:

从Log可知, APB Clock为32MHz, 由此可知 WDT Clock:

WDT\_CLK = 
$$\frac{\text{APB1_CLK}}{2048} = \frac{32MHz}{2048} = 15625Hz$$

超时时间:

Timeout = 
$$\frac{1024}{WDT\_CLK} = \frac{1024}{15625}s = 65.54$$
ms

另外 Log 显示 Timeout Event 共出现了 5 次,而由 LA 波形也可看出共有 5 次上升沿,与 Log 一致。波形测量出的 Timeout 时间为 65.83ms,与计算的 65.54ms 基本一致,误差率:



 $\text{Error}_{\text{Ratio}} = \frac{\text{Timeout}_{calc} - \text{Timeout}_{exp}}{\text{Timeout}_{exp}} = \frac{65.83 - 65.54}{65.54} = 0.44\%$ 

注意:此处因为没有用修正的公式来计算 Timeout,因此计算的误差会比实际稍大,具体见 2.4.2.1 小节的分析。

### 2.4.2.5 4096 个 WDT\_CLK 周期

测试目的:

将 Timeout 时间设置为 4096 个 WDT\_CLK 周期,验证超时事件是否及时产生。

测试预期:

WDT 计数开始,在 4096 个 WDT CLK 周期后超时。

测试现象:

先正确连接 Test Board 与逻辑分析仪,然后输入'E'命令,可以看到 Log 打印 APB Clock 频率,以及检测到 TIMEOUT 的标志。

e Start WDT Cour TIMEOUT TIMEOUT TIMEOUT TIMEOUT	nting (APB1_CLK = 320	00000нz)	
Press key Input 'A' Input 'B' Input 'C' Input 'C' Input 'E' Input 'F' Input 'F' Input 'H' Press ESC	/ to test specific fu 4th power of 2 6th power of 2 8th power of 2 10th power of 2 12th power of 2 14th power of 2 16th power of 2 18th power of 2 2 2 4 18th power of 2 2 3 4 4 5 5 6 6 7 1 1 1 1 1 1 1 1 1 1 1 1 1	(16) times of (64) times of (256) times of (1024) times of (4096) times of (16384) times of (65536) times of (262144) times of top level case l	f WDT_CLK Period. f WDT_CLK Period. ist.

再看 LA 的 P30 波形,发现开始的时候波形拉低,后面每隔 262.58ms 左右出现一个上升脉冲,在第 5 个上升沿之后,波形一直保持高电平。

I/O电平标准 ▼ 3.3V CMOS -> Vth: 1.65 V +600	ms +800ms	0   +200ms	+400ms +60	1  ms +800ms	ls +200ms	+400ms +60	0ms +800ms	▼ 测量	
P30 🌣 📑 L _								脉宽: 周期: 占空比: 频率:	262.5855ms 262.593ms 0.00285613097% 3.80817463Hz

测试分析:

从Log可知, APB Clock 为 32MHz, 由此可知 WDT Clock:



# PAN1080 WDT Sample

WDT\_CLK = 
$$\frac{\text{APB1_CLK}}{2048} = \frac{32MHz}{2048} = 15625Hz$$

超时时间:

$$\text{Fimeout} = \frac{4096}{WDT\_CLK} = \frac{4096}{15625}s = 262.14 \text{ms}$$

另外 Log 显示 Timeout Event 共出现了 5 次,而由 LA 波形也可看出共有 5 次上升沿,与 Log 一致。波形测量出的 Timeout 时间为 262.58ms,与计算的 262.14ms 基本一致,误差率:

 $\text{Error}_{\text{Ratio}} = \frac{\text{Timeout}_{calc} - \text{Timeout}_{exp}}{\text{Timeout}_{exp}} = \frac{262.58 - 262.14}{262.14} = 0.16\%$ 

注意:此处因为没有用修正的公式来计算 Timeout,因此计算的误差会比实际稍大,具体见 2.4.2.1 小节的分析。

### 2.4.2.6 16384 个 WDT\_CLK 周期

测试目的:

将 Timeout 时间设置为 16384 个 WDT CLK 周期,验证超时事件是否及时产生。

测试预期:

WDT 计数开始,在 16384 个 WDT CLK 周期后超时。

测试现象:

先正确连接 Test Board 与逻辑分析仪, 然后输入 'F' 命令, 可以看到 Log 打印 APB Clock 频率, 以及检测到 TIMEOUT 的标志。

```
f
Start WDT Counting (APB1_CLK = 3200000Hz)...
TIMEOUT
TIMEOUT
TIMEOUT
TIMEOUT
TIMEOUT
     Press key to test specific function:
            'A'
                    4th
                          power of
                                    2
                                      (16)
                                                 times of WDT_CLK Period.
     Input
                                   22222
            'в'
                          power of
                                      (64)
     Input
                    6th
                                                 times of WDT_CLK Period.
             'ć'
                                      (256)
(1024)
                          power of
     Input
                    8th
                                                 times of
                                                           WDT_CLK Period.
            'Ď'
                    10th power of
                                                 times of
                                                          WDT_CLK Period.
     Input
            'E'
                    12th power of
                                       (4096)
                                                 times of WDT_CLK Period.
     Input
                    14th power of 2
16th power of 2
18th power of 2
                                      (16384)
                                                 times of WDT_CLK Period.
     Input
             G
                                       (65536)
                                                 times of
                                                          WDT_CLK Period.
     Input
     Input 'H'
                                      (262144) times of WDT_CLK Period.
     Press ESC key to back to the top level case list.
```

再看 LA 的 P30 波形,发现开始的时候波形拉低,后面每隔 1049.59ms 左右出现一个上升脉冲,在第 5 个上升沿之后,波形一直保持高电平。



# PAN1080 WDT Sample



### 测试分析:

从Log可知, APB Clock为32MHz, 由此可知 WDT Clock:

WDT\_CLK = 
$$\frac{\text{APB1}_{\text{CLK}}}{2048} = \frac{32MHz}{2048} = 15625Hz$$

超时时间:

Timeout = 
$$\frac{16384}{WDT\_CLK} = \frac{16384}{15625}s = 1048.58$$
ms

另外 Log 显示 Timeout Event 共出现了 5 次,而由 LA 波形也可看出共有 5 次上升沿,与 Log 一致。波形测量出的 Timeout 时间为 1049.59ms,与计算的 1048.58ms 基本一致,误差率:

 $\text{Error}_{\text{Ratio}} = \frac{\text{Timeout}_{calc} - \text{Timeout}_{exp}}{\text{Timeout}_{exp}} = \frac{1049.59 - 1048.58}{1048.58} = 0.09\%$ 

注意:此处因为没有用修正的公式来计算 Timeout,因此计算的误差会比实际稍大,具体见 2.4.2.1 小节的分析。

### 2.4.2.7 65536 个 WDT\_CLK 周期

## 测试目的:

将 Timeout 时间设置为 65536 个 WDT\_CLK 周期,验证超时事件是否及时产生。

### 测试预期:

WDT 计数开始,在 65536 个 WDT\_CLK 周期后超时。

## 测试现象:

先正确连接 Test Board 与逻辑分析仪, 然后输入'G'命令, 可以看到 Log 打印 APB Clock 频率, 以及检测到 TIMEOUT 的标志。



a

# PAN1080 WDT Sample

Start WDT FIMEOUT FIMEOUT FIMEOUT FIMEOUT FIMEOUT	Coun	ting	(APE	31_CLK	= 3	320	Ю0000нz).					
Pres Inpu Inpu Inpu Inpu Inpu Inpu Pres	it 'A' it 'B' it 'C' it 'C' it 'E' it 'F' it 'F' it 'G' it 'H' is ESC	to key	test 4th 6th 8th 10th 12th 14th 16th 18th 7 to 1	specif power power power power power power power power power	of of of of of of of of	fu 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2	(16) (64) (256) (1024) (4096) (16384) (65536) (262144) top level	times times times times times times times times l case	of of of of of of lis	WDT_CLK WDT_CLK WDT_CLK WDT_CLK WDT_CLK WDT_CLK WDT_CLK WDT_CLK st.	Period Period Period Period Period Period Period	

再看 LA 的 P30 波形,发现开始的时候波形拉低,后面每隔 4.1976s 左右出现一个上升脉冲, 在第 5 个上升沿之后,波形一直保持高电平。

I/O电平标准 ▼ 3.3V CMOS -> Vth: 1.65 V	0	+1s	+2s	+3s	+4s	+5s	+6s	+7s	+8s	+9s	10s	+1s	+2s	+3s	+4s	+5s	+6s	+7s	▼ 测量	
P30 ✿ ■ = ૨ _ 0	*			_															脉宽: 周期: 占空比: 频率:	4.197643s 4.197651s 0.000190582781% 0.238228476Hz

测试分析:

从Log 可知, APB Clock 为 32MHz, 由此可知 WDT Clock:

WDT\_CLK =  $\frac{\text{APB1}_{\text{CLK}}}{2048} = \frac{32MHz}{2048} = 15625Hz$ 

超时时间:

Timeout = 
$$\frac{65536}{WDT\_CLK} = \frac{65536}{15625}s = 4.1943s$$

另外 Log 显示 Timeout Event 共出现了 5 次,而由 LA 波形也可看出共有 5 次上升沿,与 Log 一致。波形测量出的 Timeout 时间为 4.1976s,与计算的 4.1943s 基本一致,误差率:

 $\text{Error}_{\text{Ratio}} = \frac{Timeout_{calc} - Timeout_{exp}}{Timeout_{exp}} = \frac{4.1976 - 4.1943}{4.1943} = 0.07\%$ 

注意:此处因为没有用修正的公式来计算 Timeout,因此计算的误差会比实际稍大,具体见 2.4.2.1 小节的分析。

## 2.4.2.8 262144 个 WDT\_CLK 周期

测试目的:



将 Timeout 时间设置为 262144 个 WDT\_CLK 周期,验证超时事件是否及时产生。

测试预期:

WDT 计数开始,在 262144 个 WDT\_CLK 周期后超时。

测试现象:

先正确连接 Test Board 与逻辑分析仪,然后输入'H'命令,可以看到 Log 打印 APB Clock 频率,以及检测到 TIMEOUT 的标志。

```
h
Start WDT Counting (APB1_CLK = 3200000Hz)...
TIMEOUT
TIMEOUT
TIMEOUT
TIMEOUT
TIMEOUT
```

Input 'A' 4th power of 2 (16) times of WDT_CLK Period. Input 'B' 6th power of 2 (64) times of WDT_CLK Period. Input 'C' 8th power of 2 (256) times of WDT_CLK Period. Input 'D' 10th power of 2 (1024) times of WDT_CLK Period. Input 'E' 12th power of 2 (4096) times of WDT_CLK Period. Input 'F' 14th power of 2 (16384) times of WDT_CLK Period. Input 'G' 16th power of 2 (65536) times of WDT_CLK Period. Input 'H' 18th power of 2 (262144) times of WDT_CLK Period. Press ESC key to back to the top level case list.	Press	key	to test	specif	ic f	unction:					
	Input Input Input Input Input Input Input Press	A B C D F G H ESC	4th 6th 10th 12th 14th 16th 18th key to 1	power power power power power power power power	of 2 of 2 of 2 of 2 of 2 of 2 of 2 of 2	(16) (64) (256) (1024) (4096) (16384) (65536) (262144 top lev	times times times times times times times ) times el case	of of of of of of lis	WDT_CLK WDT_CLK WDT_CLK WDT_CLK WDT_CLK WDT_CLK WDT_CLK WDT_CLK	Period. Period. Period. Period. Period. Period. Period. Period.	

再看 LA 的 P30 波形,发现开始的时候波形拉低,后面每隔 16.7898s 左右出现一个上升脉冲, 在第 5 个上升沿之后,波形一直保持高电平。

	I/O电平标准 ▼ 3.3V CMOS -> Vth: 1.65 V	(	0 +10s	+20s	+30s	+40s	+50s	+60s	+70s	+80s	+90s	▼ 测量	16 700006
0	P30 😫 Ғ 🚬			<								周期: 占空比: 频率:	16.789826s 16.789834s 4.76478803e-05% 0.0595598503Hz
												- 190400	1965-

测试分析:

从Log可知, APB Clock为32MHz, 由此可知 WDT Clock:

WDT\_CLK = 
$$\frac{\text{APB1_CLK}}{2048} = \frac{32MHz}{2048} = 15625Hz$$

超时时间:

Timeout 
$$=$$
  $\frac{262144}{WDT\_CLK} = \frac{262144}{15625}s = 16.7772s$ 

另外 Log 显示 Timeout Event 共出现了 5 次,而由 LA 波形也可看出共有 5 次上升沿,与 Log 一致。波形测量出的 Timeout 时间为 16.7898s,与计算的 16.7772s 基本一致,误差率:



 $\text{Error_Ratio} = \frac{Timeout_{calc} - Timeout_{exp}}{Timeout_{exp}} = \frac{16.7898 - 16.7772}{16.7772} = 0.07\%$ 

注意:此处因为没有用修正的公式来计算 Timeout,因此计算的误差会比实际稍大,具体见 2.4.2.1 小节的分析。

#### 2.4.3 时钟源选择

在主菜单下,输入'2'命令 进入 Subcase 菜单:

Press key to test specific function: Input 'A' 16 times of LIRC (WDT\_CLK) Period. Input 'B' 4096 times of LIRC (WDT\_CLK) Period. Input 'C' 262144 times of LIRC (WDT\_CLK) Period. Press ESC key to back to the top level case list.

2.4.3.1 16 个 WDT\_CLK 周期, WDT\_CLK 为 RCL

### 测试目的:

将时钟源由 APB 切换至 RCL, Timeout 时间设置为 16 个 WDT\_CLK 周期, 验证超时事件是 否及时产生。

测试预期:

WDT 计数开始,在16个 RCL 周期后超时。

测试现象:

先正确连接 Test Board 与逻辑分析仪, 然后输入 'A' 命令, 可以看到 Log 打印 RCL Clock 频率, 以及检测到 TIMEOUT 的标志。

```
A

Start WDT Counting (CLock is 32KHz LIRC)...

TIMEOUT

TIMEOUT

TIMEOUT

TIMEOUT

Press key to test specific function:

Press key to test specific function:

Input 'A' 16 times of LIRC (WDT_CLK) Period.

Input 'B' 4096 times of LIRC (WDT_CLK) Period.

Input 'C' 262144 times of LIRC (WDT_CLK) Period.

Press ESC key to back to the top level case list.
```

再看 LA 的 P30 波形,发现开始的时候波形拉低,后面每隔 624us 左右出现一个上升脉冲, 在第 5 个上升沿之后,波形一直保持高电平。



PAN1080 WDT Sample



### 测试分析:

从Log 可知, RCL Clock 为 32KHz, 由此可知 WDT Clock:

$$WDT_CLK = LIRC = 32KHz$$

超时时间:

Timeout 
$$=$$
  $\frac{16}{WDT_{CLK}} = \frac{16}{32000}s = 500$ us

另外 Log 显示 Timeout Event 共出现了 5 次,而由 LA 波形也可看出共有 5 次上升沿,与 Log 一致。波形测量出的 Timeout 时间为 624us,与计算的 500us 有误差,误差率:

 $\text{Error}_{\text{Ratio}} = \frac{\text{Timeout}_{calc} - \text{Timeout}_{exp}}{\text{Timeout}_{exp}} = \frac{624 - 500}{500} = 24.8\%$ 

误差是因为 Test Board 的 RCL 并未校准,因此导致 WDT CLK 也会不准,符合预期。

## 2.4.3.2 4096 个 WDT\_CLK 周期, WDT\_CLK 为 RCL

### 测试目的:

将时钟源由 APB 切换至 RCL, Timeout 时间设置为 4096 个 WDT\_CLK 周期, 验证超时事件 是否及时产生。

### 测试预期:

WDT 计数开始,在 4096 个 RCL 周期后超时。

### 测试现象:

先正确连接 Test Board 与逻辑分析仪,然后输入 'B' 命令,可以看到 Log 打印 RCL Clock 频率,以及检测到 TIMEOUT 的标志。



Start WDT Counting (CLock is 32KHz LIRC) TIMEOUT TIMEOUT TIMEOUT TIMEOUT TIMEOUT TIMEOUT	
Press key to test specific function: Input 'A' 16 times of LIRC (WDT_CLK) Period. Input 'B' 4096 times of LIRC (WDT_CLK) Period. Input 'C' 262144 times of LIRC (WDT_CLK) Period. Press ESC key to back to the top level case list.	

再看 LA 的 P30 波形,发现开始的时候波形拉低,后面每隔 129ms 左右出现一个上升脉冲, 在第 5 个上升沿之后,波形一直保持高电平。

I/O电平标准 ▼ 3.3V CMOS -> Vth: 1.65 V	+800ms +900ms	0   +100ms	+200ms +300m	s +400ms +5(	00ms +600m	ns +700ms	+800ms	+900ms	1s ▼ 测量	120 6006
P30 ✿ <b>ƒ ¯   _</b> _									脉宽: 周期: 占空比: 频率:	129.6006ms 129.6076ms 0.00540091785% 7.71559692Hz
									- BSD/rft/	+**

### 测试分析:

h

从 Log 可知, RCL Clock 为 32KHz, 由此可知 WDT Clock:

$$WDT_CLK = LIRC = 32KHz$$

超时时间:

Timeout =  $\frac{4096}{WDT\_CLK} = \frac{4096}{32000}s = 128$ ms

另外 Log 显示 Timeout Event 共出现了 5 次, 而由 LA 波形也可看出共有 5 次上升沿, 与 Log 一致。波形测量出的 Timeout 时间为 129ms, 与计算的 128ms 有误差,误差率:

$$\text{Error}_{\text{Ratio}} = \frac{Timeout_{calc} - Timeout_{exp}}{Timeout_{exp}} = \frac{129 - 128}{128} = 0.7\%$$

因为 Test Board 的 RCL 并未校准,因此导致 WDT CLK 也会不准,符合预期。

### 2.4.3.3 262144 个 WDT\_CLK 周期, WDT\_CLK 为 RCL

### 测试目的:

将时钟源由 APB 切换至 RCL, Timeout 时间设置为 262144 个 WDT\_CLK 周期, 验证超时事件是否及时产生。

### 测试预期:

WDT 计数开始, 在 262144 个 RCL 周期后超时。



#### 测试现象:

先正确连接 Test Board 与逻辑分析仪, 然后输入 'C' 命令, 可以看到 Log 打印 RCL Clock 频率, 以及检测到 TIMEOUT 的标志。

C Start WDT Counting (CLock is 32KHz LIRC) TIMEOUT TIMEOUT TIMEOUT TIMEOUT TIMEOUT
Press key to test specific function: Input 'A' 16 times of LIRC (WDT_CLK) Period. Input 'B' 4096 times of LIRC (WDT_CLK) Period.
Input 'C' 262144 times of LIRC (WDT_CLK) Period. Press ESC key to back to the top level case list.

再看 LA 的 P30 波形,发现开始的时候波形拉低,后面每隔 8.29s 左右出现一个上升脉冲,在第 5 个上升沿之后,波形一直保持高电平。

		1	)	+10s	+205	+30s	+40	▼ 测量	
	▼ 3.3V CMOS -> Vth: 1.65 V P30			1	1203			 脉宽:	8.2900915s
0					←>			周期: 占空比: 频率:	8.2900995 9.04693659e-05% 0.120625821Hz
								- R80m24	<b>.</b> **/7

测试分析:

从 Log 可知, RCL Clock 为 32KHz, 由此可知 WDT Clock:

$$WDT_CLK = LIRC = 32KHz$$

超时时间:

Timeout = 
$$\frac{262144}{WDT\_CLK} = \frac{262144}{32000}s = 8.192s$$

另外 Log 显示 Timeout Event 共出现了 5 次,而由 LA 波形也可看出共有 5 次上升沿,与 Log 一致。波形测量出的 Timeout 时间为 8.29s,与计算的 8.192s 稍有误差,误差率:

 $\text{Error}_{\text{Ratio}} = \frac{Timeout_{calc} - Timeout_{exp}}{Timeout_{exp}} = \frac{8.29 - 8.192}{8.192} = 1.2\%$ 

因为 Test Board 的 RCL 并未校准,因此导致 WDT CLK 也会不准,符合预期。

### 2.4.4 中断模式

在主菜单下,输入'3'命令 进入 Subcase 菜单:



```
Press key to test specific function:
```

```
Input 'A' Enable WDT Interrupt.
```

```
Press ESC key to back to the top level case list.
```

## 测试目的:

验证 WDT Timeout 超时中断能否准确及时触发。

### 测试预期:

WDT 计数开始,在设定的超时时间后触发中断。

### 测试现象:

先正确连接 Test Board 与逻辑分析仪,然后输入'A'命令,可以看到 Log 打印 APB Clock 频率为 32MHz,以及检测到 WDT INT 触发的标志。

再看 LA 的 P30 波形,发现开始的时候波形被短暂拉低后立刻被拉高,然后在 1s 后再次被 拉低,在这 1s 内,每隔 262.58ms 左右出现一个向下的脉冲。

	I/O电平 ▼ 3.3V CMOS -	标准 > Vth:1.65 V	0	+200ms	+400ms	+600ms	+800ms	1s A2	+200ms +	40 ▼ 测量	262 5865
0	P30	¢				<				脉克: 周期: 占空比 频率:	262:5805ms 262:59325ms 99.9974295% 3.808171Hz
1	通道 1	¢[f-l_)								▼ 脉冲 ▼ 时间 ▼   <u>A1</u> A1 @	计数 标尺 - <u>A2</u>  =1.000098s ፬ 771.5us
	PWM CH2	¢[f-f_								A2 @	0 1.0008695s

### 测试分析:

从 Log 可知, APB Clock 为 32MHz, WDT Clock Count 为 4096, 由 2.4.2.5 小节可知, Timeout 时间为 262.14ms。

另外 Log 显示 Timeout INT 共出现了 3 次,而由 LA 波形也可看出共有 3 次向下的脉冲,与 Log 一致。波形测量出的 Timeout 时间为 262.58ms,与计算的 262.14ms 稍有误差,总体符合预期。



### 2.4.5 复位模式

在主菜单下,输入 '4' 命令 进入 Subcase 菜单:

Press key to test specific function: Input 'Α Enable WDT Reset, delay 1025 times of WDT\_CLK. 'B' Enable WDT Reset, delay 129 times of Input WDT CLK. 'ē' Input Enable WDT Reset, delay 17 times of WDT CLK. 'D' Enable WDT Reset, delay 2 times of WDT\_CLK Enable WDT Reset and feed WDT before timeout. Input times of WDT CLK. 'Ĕ' Input Press ESC key to back to the top level case list.

#### 2.4.5.1 延时 1025 个 WDT\_CLK 周期后复位

#### 测试目的:

使能复位功能,验证设定的计数超时与 1025 个 WDT\_CLK 周期的延时时间后是否准确及时产生复位信号并复位系统,系统复位后检查 Wakeup Flag 是否保留。

#### 测试预期:

WDT 计数开始,在设定的 WDT\_CLK 周期后超时,然后再经过 1025 个 WDT\_CLK 周期的 延时时间后,系统复位,此时检查 Wakeup Flag 值,发现可以成功保留。

#### 测试现象:

先正确连接 Test Board 与逻辑分析仪, 然后输入 'A' 命令, 可以看到 Log 打印 APB Clock 频率, 超时计数 Timeout Count, 以及复位延时计数 Delay Count。短暂时间后, 打印 WDT INT 的 Log, 触发复位:

```
a
WDT Reset Delay Count = 1025
Start WDT Counting (APB1_CLK = 32000000Hz, TimeoutCnt = 4096)...
WDT INT
```

再看 LA 的 P30 波形,发现开始的时候波形被短暂拉低后拉高,262.3ms 后出现短脉冲,后续又保持 65.70ms 的高电平,之后又有一个拉低的短脉冲,最后一直维持高电平。

I/O电平标准 ▼ 3.3V CMOS -> Vth: 1.65 V	+800ms	+900ms	0 +100ms	+200ms	+300ms	+400ms	+500ms	+600ms	+700ms	+800ms	▼ 测量	cc 70005
P30 🛱 于 🚬 –				<							勝党: 周期: 占空比: 频率: 	65.70325ms 70.06925ms 93.7690214% 14.2715956Hz

### 测试分析:

测试程序配置为 4096 个 WDT\_CLK 后, 触发 WDT 中断; 接着经过 1025 个 CLK 的 Delay 时间后, 触发系统 Reset。

从 Log 与 LA 波形可知, WDT 中断可以在开启 WDT 后 262.3ms 成功触发, 与理论时间 (可



由 2.4.2.5 小节的测试得知) 基本一致;又经过了 65.7ms 的延时(与理论时间 $\frac{1025}{WDT_{CLK}} = \frac{1025}{15625}s = 65.6ms$ 基本一致) 后触发系统 Reset。

### 2.4.5.2 延时 129 个 WDT\_CLK 周期后复位

#### 测试目的:

使能复位功能,验证设定的计数超时与 129 个 WDT\_CLK 周期的延时时间后是否准确及时产生复位信号并复位系统,系统复位后检查 Wakeup Flag 是否保留。

#### 测试预期:

WDT 计数开始,在设定的 WDT\_CLK 周期后超时,然后再经过 129 个 WDT\_CLK 周期的延时时间后,系统复位,此时检查 Wakeup Flag 值,发现可以成功保留。

## 测试现象:

先正确连接 Test Board 与逻辑分析仪,然后输入 'B' 命令,可以看到 Log 打印 APB Clock 频率,超时计数 Timeout Count,以及复位延时计数 Delay Count。短暂时间后,打印 WDT INT 的 Log,经过 Delay Count 后,触发系统 Reset。

```
b
WDT Reset Delay Count = 129
Start WDT Counting (APB1_CLK = 32000000Hz, TimeoutCnt = 4096)...
WDT INT
```

再看 LA 的 P30 波形,发现开始的时候波形被短暂拉低后拉高,262.4ms 后出现短脉冲,后续又保持 8.31ms 的高电平,之后又有一个拉低的短脉冲,最后一直维持高电平。

I/O电平标准 ▼ 3.3V CMOS -> Vth: 1.65 V	0	+100ms	+200ms	+300ms	+400ms	▼ 测量	0.017
P30 🗱 <b>F</b> ¯			4	*		▶ 販売: 周期: 占空比: 频率:	8.317ms 12.70375ms 65.4688576% 78.7169143Hz

测试分析:

测试程序配置为 4096 个 WDT\_CLK 后, 触发 WDT 中断; 接着经过 1025 个 CLK 的 Delay 时间后, 触发系统 Reset。

从 Log 与 LA 波形可知, WDT 中断可以在开启 WDT 后 262.4ms 成功触发, 与理论时间 (可 由 2.4.2.5 小节的测试得知) 基本一致;又经过了 8.31ms 的延时 (与理论时间 $\frac{129}{WDT_CLK} = \frac{129}{15625}s = 8.26ms$ 基本一致) 后触发系统 Reset。

### 2.4.5.3 延时 17 个 WDT\_CLK 周期后复位

### 测试目的:

使能复位功能,验证设定的计数超时与 17 个 WDT\_CLK 周期的延时时间后是否准确及时产 生复位信号并复位系统,系统复位后检查 Wakeup Flag 是否保留。



#### 测试预期:

WDT 计数开始,在设定的 WDT\_CLK 周期后超时,然后再经过 17 个 WDT\_CLK 周期的延时时间后,系统复位,此时检查 Wakeup Flag 值,发现可以成功保留。

### 测试现象:

先正确连接 Test Board 与逻辑分析仪,然后输入 'C' 命令,可以看到 Log 打印 APB Clock 频率,超时计数 Timeout Count,以及复位延时计数 Delay Count。短暂时间后,打印 WDT INT 的 Log,经过 Delay Count 后,触发系统 Reset。

```
c
WDT Reset Delay Count = 17
Start WDT Counting (APB1_CLK = 32000000Hz, TimeoutCnt = 4096)...
WDT INT
```

再看 LA 的 P30 波形,发现开始的时候波形被短暂拉低后拉高,262.3ms 后出现短脉冲,后续又保持 1.14ms 的高电平,之后又有一个拉低的短脉冲,最后一直维持高电平。

▼ 3.3	I/O电平标准 V CMOS -> Vth: 1.65 V	+900ms	)	+100ms	+200ms	A2	+300ms	▼ 测量
P30	\$ <del>-</del>		<i></i>			→		
通道	1 #F-t_		u 			-		▼ 脉冲计数
1								▼ 时间标尺
								▼   A1 - A2  = 1.14375ms A1 @ 263.398ms
PWM	I CH2 # <b>f - l</b> _							A2 @ 264.54175ms

### 测试分析:

测试程序配置为 4096 个 WDT\_CLK 后, 触发 WDT 中断; 接着经过 1025 个 CLK 的 Delay 时间后, 触发系统 Reset。

从 Log 与 LA 波形可知, WDT 中断可以在开启 WDT 后 262.3ms 成功触发, 与理论时间 (可 由 2.4.2.5 小节的测试得知) 基本一致;又经过了 1.14ms 的延时 (与理论时间 $\frac{17}{WDT_CLK} = \frac{17}{15625}s =$  1.09ms基本一致) 后触发系统 Reset。

### 2.4.5.4 延时 2 个 WDT\_CLK 周期后复位

#### 测试目的:

使能复位功能,验证设定的计数超时与 2 个 WDT\_CLK 周期的延时时间后是否准确及时产 生复位信号并复位系统,系统复位后检查 Wakeup Flag 是否保留。

#### 测试预期:

WDT 计数开始,在设定的 WDT\_CLK 周期后超时,然后再经过 2 个 WDT\_CLK 周期的延时时间后,系统复位,此时检查 Wakeup Flag 值,发现可以成功保留。

#### 测试现象:



先正确连接 Test Board 与逻辑分析仪,然后输入'D'命令,可以看到 Log 打印 APB Clock 频率,超时计数 Timeout Count,以及复位延时计数 Delay Count。短暂时间后,打印 WDT INT 的 Log,经过 Delay Count 后,触发系统 Reset。

d WDT Reset Delay Count = 2 Start WDT Counting (APB1\_CLK = 32000000Hz, TimeoutCnt = 4096)... WDT INT

再看 LA 的 P30 波形,发现开始的时候波形被短暂拉低后拉高,262.3ms 后出现短脉冲,后续又保持 183us 的高电平,之后又有一个拉低的短脉冲,最后一直维持高电平。

	I/O电 <sup>3</sup> ▼ 3.3V CMOS	平标准 -> Vth:1.65 V	(	+10	0ms +200	ms 🗛	+300ms	+400ms	▼测量
0	P30	\$ F - 1		<					脉宽: 262.37075ms 周期: 262.37875ms 占空比: 99.996951% 频率: 3.81128426Hz
	通道 1	¢ 5-1_				P			▼ 脉冲计数
1									▼ 时间标尺
									▼   <u>A1</u> - <u>A2</u>  = 183.25us A1 @ 263.406ms
	PWM CH2	¢1-1-	)						A2 @ 263.58925ms

测试分析:

测试程序配置为 4096 个 WDT\_CLK 后, 触发 WDT 中断; 接着经过 1025 个 CLK 的 Delay 时间后, 触发系统 Reset。

从 Log 与 LA 波形可知, WDT 中断可以在开启 WDT 后 262.3ms 成功触发, 与理论时间 (可 由 2.4.2.5 小节的测试得知)基本一致;又经过了 183us 的延时 (与理论时间 $\frac{2}{WDT_CLK} = \frac{2}{15625}s =$ 128*us*有一些误差但比较接近) 后触发系统 Reset。

2.4.5.5 使能复位功能,并在超时时间到达之前喂狗

### 测试目的:

使能复位功能,验证如果在计数超时时间内喂狗,是否能避免复位系统。

测试预期:

WDT 计数开始,在设定的超时时间内,不断复位超时计数器(即喂狗),计数器将重新计数,Reset 被推迟,一旦停止喂狗,在设定的超时时间和延时时间后,系统复位。

### 测试现象:

先正确连接 Test Board 与逻辑分析仪,然后输入'E'命令,可以看到 Log 打印 APB Clock 频率和超时计数 Timeout Count。接着连续打印 5 条 Feed WDT 的 Log,触发系统 Reset。

Panchip Microelectronics

PAN1080 WDT Sample

e s F F F F F F	art WDT Counting (APB1_CLK = 32000000Hz, TimeoutCnt = 4096) ed WDT ed WDT ed WDT ed WDT ed WDT ed WDT
•	บ @ 3200000Hz
	PN108C WDT Sample Code.
	Press key to start specific testcase:
	Input '0' Testcase 0: Register Default Value Check. Input '1' Testcase 1: Timeout Interval Period Selection. Input '2' Testcase 2: Clock Source Selection. Input '3' Testcase 3: Interrupt Mode. Input '4' Testcase 4: Reset Mode. Input '5' Testcase 5: Wakeup Signal.
4	

再看 LA 的 P30 波形,发现开始的时候波形拉低,短暂时间后被拉高,然后 50ms 后出现向下的短脉冲,重复 5 次,第 5 次电平被拉低,复位后拉高。

	I/O电平标准 ▼ 3.3V CMOS -> Vth: 1.65 V	0	+100ms	+200ms	+300ms	+400ms	+500ms	+600ms	+ ▼ 测量
0	P30 🌣 🗲 🔽 🔤								脉宽: 267.1188ms     周期: 4.49886395s     占空比: 94.0625277%     频率: 0.222278338Hz     ■     B3/t51475

测试分析:

此处 WDT 复位时间配置与 0 小节完全一致,因此正常情况下复位时间应为 262.3ms。

看 LA 波形,第一个下降沿表示程序进入 Feed WDT 流程,随后的第一个上升沿表示 WDT 计数开始。后面每隔 50ms 出现一个向下的短脉冲,表示喂狗操作,于是 5 次下降沿表示喂了 5 次狗,共耗时 250ms。

在最后一次(第5次)喂狗后,程序停止喂狗,等待超时复位。而从波形图也可看出,最后 一段低电平后拉高,系统复位。

2.4.6 唤醒信号

在主菜单下,输入'5'命令 进入 Subcase 菜单:

```
Press key to test specific function:
Input 'A' Enable Wakeup.
Press ESC key to back to the top level case list.
```

### 测试目的:

验证 WDT Wakeup Signal 能否准确及时产生。

测试预期:



WDT 计数开始,在设定的超时时间后触发 Wakeup Signal。

#### 测试现象:

先正确连接 Test Board 与逻辑分析仪, 然后输入 'A' 命令, 可以看到 Log 打印 APB Clock 频率为 32MHz, 稍后打印出 WAKEUP 的标志。

Press ESC key to back to the top level case list.

再看 LA 的 P30 波形,发现波形被拉低, 2.07s 后被拉高。

	I/O电平标准	(	)				. 4.	▼ 测量	
	▼ 3.3V CMOS -> Vth: 1.65 V			+15	+25 	+3S	+4S	脉宽:	2.07216195s
	P30 🗳 🕂 🔽 🚬							周期:	4.74999955s
0								占空比:	56.3755338%
								频率:	0.210526336Hz

测试分析:

测试程序中,进入低功耗状态后使用 RCL Clock, WDT Clock Count 为 65536, Timeout 时间 为 2.07s。

再看波形图,波形的下降沿表示 WDT 计数开始的时刻,后拉高,拉低时间与预期 2.048s 一致,符合预期。



# PAN1080 WDT Sample

# 第3章 使用注意事项

- 1、使用 Clock Selection API 之前注意先解锁寄存器
- 2、TIF 既可以写1清掉,也可以在置 INTEN 的时候硬件自动清 TIF
- 3、RSTF 既可以写 1 清掉,也可以在 RSTCNT 的时候硬件自动清 RSIF
- 4、WKF 被置上后,需要解锁寄存器后才能清掉
- 5、Wakeup 被触发后,WDT 会停止计数
- 6、操作完 Write Protected 寄存器后不可立刻使用 SYS\_LockReg, 否则可能使得操作 Write Protected 寄存器失败, 解决方法有:
  - a) 写完寄存器立刻读回,发现写成功了,再 Lock
  - b) Lock 前延时一段时间(>3nop)